

PATENT
8031-1028

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Yoshihiro NONAKA
Conf.:
Appl. No.:
Group:
Filed: August 27, 2003
Examiner:
Title: SEMICONDUCTOR INTEGRATED CIRCUIT, METHOD OF
MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT,
CHARGE PUMP CIRCUIT, LAYOUT DESIGNING APPARATUS,
AND LAYOUT DESIGNING PROGRAM

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

August 27, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the
priority filing date of the following application(s) for the
above-entitled U.S. application under the provisions of 35
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-265067	September 11, 2002

Certified copy(ies) of the above-noted application(s)
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/ia

Attachment(s): 1 Certified Copy(ies)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月11日

出 願 番 号

Application Number:

特願2002-265067

[ST.10/C]:

[JP 2002-265067]

出 願 人

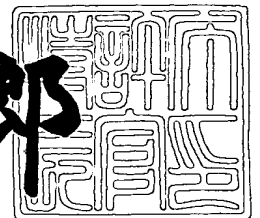
Applicant(s):

日本電気株式会社

2003年 5月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3037432

【書類名】 特許願

【整理番号】 34803828

【提出日】 平成14年 9月11日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 9/45
G02F 1/136

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 野中 義弘

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088959

【弁理士】

【氏名又は名称】 境 廣巳

【手数料の表示】

【予納台帳番号】 009715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9002136

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路およびレイアウト設計装置

【特許請求の範囲】

【請求項 1】 3 本以上の電源線と前記電源線の接続を切り換える 2 つ以上のトランジスタを含む半導体集積回路であって、前記電源線のうち第 1、第 2 および第 3 の電源線が上記の順序で互いに平行に配置され、前記第 2 の電源線の両側にある、前記第 1 の電源線との間隙および前記第 3 の電源線との間隙にそれぞれ配置された第 1 のトランジスタおよび第 2 のトランジスタを含むことを特徴とする半導体集積回路。

【請求項 2】 請求項 1 記載の半導体集積回路であって前記電源線のうち延長されて外部接続端子に接続される配線を有することを特徴とした半導体集積回路。

【請求項 3】 請求項 1 記載の半導体集積回路であって前記電源線のうち互いに同電位となる電源線を相互に結線する相互結線を有し、前記相互結線が前記互いに同電位となる電源線以外の前記電源線とは結線されないことを特徴とした半導体集積回路。

【請求項 4】 請求項 1、2 または 3 のうちいずれかに記載の半導体集積回路であって、すべての前記電源線が占める面積が、すべての前記電源線の間領域が占める面積よりも大きいことを特徴とした半導体集積回路。

【請求項 5】 請求項 1、2、3 または 4 のうちいずれかに記載の半導体集積回路であって、前記トランジスタの前記ゲート電極を伝わるゲート信号の遅延を回避するために、前記ゲート電極より抵抗が低く、寄生容量の小さいゲート信号配線を前記トランジスタの前記ゲート電極と平行に設けたことを特徴とした半導体集積回路。

【請求項 6】 請求項 1、2、3、4 または 5 のうちいずれかに記載の半導体集積回路であって、前記トランジスタが半導体基板以外の、ガラス基板または透明基板上に形成された薄膜トランジスタであることを特徴とした半導体集積回路。

【請求項 7】 請求項 6 記載の半導体集積回路であって、非晶質半導体層を

多結晶半導体に結晶化する工程でゲート幅方向に結晶化を進めることを特徴とする半導体集積回路の製造方法。

【請求項 8】 請求項 1、2、3、4、5、6 または 7 のうちいずれかに記載の半導体集積回路であって、複数のコンデンサと複数のトランジスタにより構成される、チャージポンプ回路。

【請求項 9】 複数のトランジスタで構成された回路の回路データを記憶する記憶手段と、同じトランジスタを 1 回だけ通る 1 以上の経路の組であって、同じ組の経路をあわせると前記回路データで示される回路網を網羅できる経路の組を探索する探索手段と、前記探索手段で探索された経路の組のうち、含まれる経路の数が最小の経路の組を抽出する抽出手段と、各トランジスタのソース電極およびドレイン電極の幅、ソース電極とドレイン電極との間の領域の幅、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅、前記トランジスタの個数および前記抽出手段で抽出された経路の組に含まれる経路の数から、レイアウト幅を決定する幅決定手段と、前記幅決定手段で決定された幅を持つ狭幅領域に、前記回路に含まれるトランジスタのソース電極、ドレイン電極およびゲート電極を互いに並行に配置したレイアウト情報を生成するレイアウト決定手段と、前記レイアウト決定手段で決定されたレイアウト情報を出力する出力手段とを備えることを特徴とするレイアウト設計装置。

【請求項 10】 各トランジスタのソース電極およびドレイン電極の幅を W_i 、ソース電極とドレイン電極との間の領域の幅を L_j 、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅を P_k 、前記トランジスタの個数を n 、および前記抽出手段で抽出された経路の組に含まれる経路の数を m とするとき、前記幅決定手段は、次式、

$$\sum_{i=1}^{n+m} W_i + \sum_{j=1}^n L_j + \sum_{k=1}^{m-1} P_k$$

で与えられる値をレイアウト幅とするものであることを特徴とする請求項 9 記載のレイアウト設計装置。

【請求項 11】 ソース電極とドレイン電極との間の領域の幅より、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅の

方を狭くしたことを特徴とする請求項 9 または 1 0 記載のレイアウト設計装置。

【請求項 1 2】 前記レイアウト決定手段は、前記抽出手段で抽出される 1 以上の経路の組のうちの任意の 1 つの経路の組に従って、その組に含まれる経路毎に、その経路で示されるトランジスタの通過順またはその通過順と逆順に、ソース電極またはドレイン電極とゲート電極を交互に配置するものであることを特徴とする請求項 9 または 1 0 記載のレイアウト設計装置。

【請求項 1 3】 前記抽出手段で抽出された 1 以上の経路の組のうちで、ソース電極またはドレイン電極のうち互いに同電位となる電極を相互に結線する相互配線の全長が最小となる、経路の組とその組に含まれる複数の経路の順番とその組に含まれる各経路の接続方向とを決定する相互配線長最小组決定手段を備え、前記レイアウト決定手段は、前記相互配線長最小组決定手段で決定された、経路の組とその組に含まれる複数の経路の順番とその組に含まれる各経路の接続方向に従って、ソース電極またはドレイン電極とゲート電極を交互に配置するものであることを特徴とする請求項 9 または 1 0 記載のレイアウト設計装置。

【請求項 1 4】 前記レイアウト決定手段は、ソース電極またはドレイン電極のうち互いに同電位となる電極を相互に結線する相互結線の配置を決定するものであることを特徴とする請求項 1 2 または 1 3 記載のレイアウト設計装置。

【請求項 1 5】 前記レイアウト決定手段は、前記回路データで外部端子と接続することが指定されているトランジスタのソース電極およびドレイン電極については、外部端子と接続するために電極の長さを延長するものであることを特徴とする請求項 1 2 または 1 3 記載のレイアウト設計装置。

【請求項 1 6】 回路に含まれる同じトランジスタを 1 回だけ通る 1 以上の経路の組であって、同じ組の経路をあわせると前記回路の回路網を網羅できる経路の組のうち、含まれる経路の数が最小の経路の組における前記経路の数と、各トランジスタのソース電極およびドレイン電極の幅と、ソース電極とドレイン電極との間の領域の幅と、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅と、前記回路に含まれるトランジスタの個数とから決定された幅を持つ狭幅領域に、前記回路に含まれるトランジスタのソース電極、ドレイン電極およびゲート電極を互いに並行に配置した構造を有することを特

徴とする半導体集積回路。

【請求項 1 7】 各トランジスタのソース電極およびドレイン電極の幅を W_i 、ソース電極とドレイン電極との間の領域の幅を L_j 、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅を P_k 、前記トランジスタの個数を n 、および前記抽出手段で抽出された経路の組に含まれる経路の数を m とするとき、前記狭幅領域は、

$$\sum_{i=1}^{n+m} W_i + \sum_{j=1}^n L_j + \sum_{k=1}^{m-1} P_k$$

の幅を有することを特徴とする請求項 1 6 記載の半導体集積回路。

【請求項 1 8】 ソース電極とドレイン電極との間の領域の幅より、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅の方が狭くなっていることを特徴とする請求項 1 6 または 1 7 記載の半導体集積回路。

【請求項 1 9】 経路の数が最小の任意の経路の組に従って、その組に含まれる経路毎に、その経路で示されるトランジスタの通過順またはその通過順と逆順に、ソース電極またはドレイン電極とゲート電極が交互に配置されていることを特徴とする請求項 1 6 または 1 7 記載の半導体集積回路。

【請求項 2 0】 経路の数が最小の経路の組のうちで、ソース電極またはドレイン電極のうち互いに同電位となる電極を相互に結線する相互配線の全長が最小となる、経路の組とその組に含まれる複数の経路の順番とその組に含まれる各経路の接続方向に従って、ソース電極またはドレイン電極とゲート電極が交互に配置されていることを特徴とする請求項 1 6 または 1 7 記載の半導体集積回路。

【請求項 2 1】 ソース電極またはドレイン電極のうち互いに同電位となる電極が、ソース電極またはドレイン電極と直角方向に伸びる相互結線により相互に結線されていることを特徴とする請求項 1 9 または 2 0 記載の半導体集積回路。

【請求項 2 2】 外部端子と接続されるトランジスタのソース電極およびドレイン電極が外部端子と接続するために延長されていることを特徴とする請求項 1 9 または 2 0 記載の半導体集積回路。

【請求項 2 3】 請求項 1 6 乃至 2 2 のうちいずれかに記載の半導体集積回路であって、前記トランジスタが半導体基板以外の、ガラス基板または透明基板上に形成された薄膜トランジスタであることを特徴とした半導体集積回路。

【請求項 2 4】 請求項 2 3 記載の半導体集積回路であって、非晶質半導体層を多結晶半導体に結晶化する工程でゲート幅方向に結晶化を進めることを特徴とする半導体集積回路の製造方法。

【請求項 2 5】 複数のトランジスタで構成された回路の回路データを記憶する記憶手段を有するコンピュータを、同じトランジスタを 1 回だけ通る 1 以上の経路の組であって、同じ組の経路をあわせると前記回路データで示される回路網を網羅できる経路の組を探索する探索手段、前記探索手段で探索された経路の組のうち、含まれる経路の数が最小の経路の組を抽出する抽出手段、各トランジスタのソース電極およびドレイン電極の幅、ソース電極とドレイン電極との間の領域の幅、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅、前記トランジスタの個数および前記抽出手段で抽出された経路の組に含まれる経路の数から、レイアウト幅を決定する幅決定手段、前記幅決定手段で決定された幅を持つ狭幅領域に、前記回路に含まれるトランジスタのソース電極、ドレイン電極およびゲート電極を互いに並行に配置したレイアウト情報を生成するレイアウト決定手段、前記レイアウト決定手段で決定されたレイアウト情報を出力する出力手段、として機能させることを特徴とするプログラム。

【請求項 2 6】 各トランジスタのソース電極およびドレイン電極の幅を W_i 、ソース電極とドレイン電極との間の領域の幅を L_j 、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅を P_k 、前記トランジスタの個数を n 、および前記抽出手段で抽出された経路の組に含まれる経路の数を m とするとき、前記幅決定手段は、次式、

$$\sum_{i=1}^{n+m} W_i + \sum_{j=1}^n L_j + \sum_{k=1}^{m-1} P_k$$

で与えられる値をレイアウト幅とするものであることを特徴とする請求項 2 5 記載のプログラム。

【請求項 2 7】 ソース電極とドレイン電極との間の領域の幅より、隣接す

るトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅の方を狭くしたことを特徴とする請求項 2 5 または 2 6 記載のプログラム。

【請求項 2 8】 前記レイアウト決定手段は、前記抽出手段で抽出される 1 以上の経路の組のうちの任意の 1 つの経路の組に従って、その組に含まれる経路毎に、その経路で示されるトランジスタの通過順またはその通過順と逆順に、ソース電極またはドレイン電極とゲート電極を交互に配置するものであることを特徴とする請求項 2 5 または 2 6 記載のプログラム。

【請求項 2 9】 コンピュータを更に、前記抽出手段で抽出された 1 以上の経路の組のうちで、ソース電極またはドレイン電極のうち互いに同電位となる電極を相互に結線する相互配線の全長が最小となる、経路の組とその組に含まれる複数の経路の順番とその組に含まれる各経路の接続方向とを決定する相互配線長最小組決定手段として機能させ、且つ、前記レイアウト決定手段は、前記相互配線長最小組決定手段で決定された、経路の組とその組に含まれる複数の経路の順番とその組に含まれる各経路の接続方向に従って、ソース電極またはドレイン電極とゲート電極を交互に配置するものであることを特徴とする請求項 2 5 または 2 6 記載のプログラム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体基板や透明基板、ガラス基板にトランジスタを形成する半導体集積回路に関し、特に、狭幅領域に配置可能な半導体集積回路および回路レイアウト設計法に関する。

【0 0 0 2】

【従来の技術】

従来より表示装置やセンサーでは、表示素子やセンサー素子を制御するトランジスタ群（アクティブマトリクス）を駆動する周辺回路を、表示領域や感受領域の周辺に実装もしくはアクティブマトリクスと同一基板に形成する方法が一般的である（例えば、後述する特許文献 1、2 参照）。表示領域や感受領域を大きくするためには、周辺回路は表示領域や感受領域の周辺の扁平な領域に配置される。

そして周辺回路のレイアウトを狭幅とすることで、狭額縁で表示領域や感受領域の広い装置を提供することができる。さらに外部からの信号線や電源線はFPC（フレキシブル印刷配線板）などを介して装置の縁から周辺回路へ接続されるため、周辺回路の外部接続端子は一辺に集中しており配置の自由度が少ない。一方で、電源配線は他の信号線に比べて幅を広くする必要がある。なぜならば各回路に流れる電流が集中して電源配線に大電流が流れるときの電圧降下や消費電力を抑えるためである。

【0003】

電源線を3本以上含む回路の1つの例として電源線の切り換え回路を図2に示し、これを狭幅な領域にレイアウトする場合に通常考えられる例を図32に示す。本回路は、ゲート信号 ϕ により、電源線a34の接続をA32またはB33に切り換える回路である。回路は2つのトランジスタ10および11で構成されているから、ゲート長 L_g 、ゲート幅 W_g の各ゲート電極30および31をゲート幅方向に一直列に並べることで狭幅レイアウトとなる。すなわち、縦に並んだゲート電極30および31の脇に長さ W_g 、幅 W の電源線A32およびB33を配置し、さらにゲート電極30および31に対向するように長さ $2W_g$ 、幅 W の電源線a34を配置する。各電源線は第1メタル層に形成され、図示しないコンタクトにより各トランジスタ10および11のボディの活性領域と電氣的接続が採られる。本レイアウトのレイアウト幅はゲート幅1本分と電源線幅2本分の $(L_g + 2W)$ と狭幅である。ただし、ゲート電極と第1メタル層電極のスペースは簡単のためゼロとした。またレイアウト面積を簡易的に求めると、 $(L_g + 2W) \times 2W_g$ となる。

【0004】

図33は電源線A32およびB33をレイアウトの上部一辺から外部に接続し、電源線a34を内部へ配線する場合に通常考えられるレイアウト例である。内部と接続するための配線は、レイアウト幅を増加させないようにa34を図の下方方向に延長させる。同様に外部と接続するための配線は図の上方方向にA32とB33を延長させる。しかしながら、A32はB33と重ならないように延長するため、電源線幅 W 分のレイアウト幅の増加が必要となる。それによりレイアウト面

積は $(L_g + 3W) \times 2W_g$ に増加する。

【0005】

図34はトランジスタ10のゲート30を並列化して小面積化した例である。並列化によるゲート電極の面積の増加がないとすると、トランジスタ10のゲート領域30とトランジスタ11のゲート面積 $L_g \times W_g$ は等しいから、ゲート領域30の長さは $(L_g \times W_g) / (L_g + W)$ と表される。配線の延長を除いた図34のレイアウトの面積は、幅 $(L_g + 3W)$ と長さ $(W_g + (L_g \times W_g) / (L_g + W))$ の積、すなわち $(L_g + 3W) \times W_g \times (2L_g + W) / (L_g + W)$ となる。この面積は $W > 0$ であれば常に図33の面積よりも小さい。ただし、本レイアウトでは回路が複雑になった場合にトランジスタ毎にゲートの最適な並列化が異なるため、レイアウト変更が容易ではない。

【0006】

【特許文献1】

特許第2697728号

【特許文献2】

特開平10-133232号公報

【0007】

【発明が解決しようとする課題】

狭幅領域に配置する回路レイアウトは、通常は図32～図34のようなものが考えられるが、レイアウト面積が大きくなるか、トランジスタ毎のレイアウトが複雑になり変更が容易ではなくなる。また外部入出力端子が一辺に集中していて自由度が小さい場合、延長配線によるレイアウト幅の増加が生じる。

【0008】

【発明の目的】

本発明の第1の目的は、スイッチング素子として、半導体基板や透明基板、ガラス基板にトランジスタを形成し、相互に結線した半導体集積回路に関し、狭幅領域に配置可能な回路レイアウトを提供することである。

【0009】

本発明の第2の目的は、スイッチング素子として、半導体基板や透明基板、ガラ

ス基板にトランジスタを形成し、相互に結線した半導体集積回路に関し、狭幅領域に小面積で配置可能な回路レイアウトを提供することである。

【 0 0 1 0 】

本発明の第 3 の目的は、狭幅領域に配置可能な回路のレイアウト設計装置を提供することである。

【 0 0 1 1 】

【課題を解決するための手段】

本発明の請求項 1 に関わるものは、3 本以上の電源線と前記電源線の接続を切り換える 2 つ以上のトランジスタを含む半導体集積回路であって、前記電源線のうち第 1、第 2 および第 3 の電源線が上記の順序で互いに平行に配置され、前記第 2 の電源線の両側にある、前記第 1 の電源線との間隙および前記第 3 の電源線との間隙にそれぞれ配置された第 1 のトランジスタおよび第 2 のトランジスタを含むことを特徴とする半導体集積回路である。この半導体集積回路によれば、回路全体が全電源線の幅とその間隙に配置したトランジスタの幅の合計まで狭幅化され、狭幅領域に配置可能な半導体集積回路が得られる。

【 0 0 1 2 】

本発明の請求項 2 に関わるものは、請求項 1 記載の半導体集積回路であって前記電源線のうち延長されて外部接続端子に接続される配線を有することを特徴とした半導体集積回路である。この半導体集積回路によれば、ゲート、ドレインまたはソース電極を延長して外部端子と接続することで、外部接続機能の追加にともなう回路幅の増加がさけられる。

【 0 0 1 3 】

本発明の請求項 3 に関わるものは、請求項 1 記載の半導体集積回路であって前記電源線のうち互いに同電位となる電源線を相互に結線する相互結線を有し、前記相互結線が前記互いに同電位となる電源線以外の前記電源線とは結線されないことを特徴とした半導体集積回路である。この半導体集積回路によれば、所望の回路が複雑化した場合においても、レイアウトの複雑化と外部端子数の増加を抑えることができる。

【 0 0 1 4 】

本発明の請求項 4 に関わるものは、請求項 1、2 または 3 のうちいずれかに記載の半導体集積回路であって、すべての前記電源線が占める面積が、すべての前記電源線の間領域が占める面積よりも大きいことを特徴とした半導体集積回路である。この半導体集積回路によれば、狭幅領域に配置しつつも電源線の抵抗による電圧降下、電力消費を低減することができる。

【 0 0 1 5 】

本発明の請求項 5 に関わるものは、請求項 1、2、3 または 4 のうちいずれかに記載の半導体集積回路であって、前記トランジスタの前記ゲート電極を伝わるゲート信号の遅延を回避するために、前記ゲート電極より抵抗が低く、寄生容量の小さいゲート信号配線を前記トランジスタの前記ゲート電極と平行に設けたことを特徴とした半導体集積回路である。この半導体集積回路によれば、広いゲート幅を持つ扁平なゲート電極の一端より入力されたゲート信号が他端まで到達するのに要する時間よりも早く信号を到達させることができる。

【 0 0 1 6 】

本発明の請求項 6 に関わるものは、請求項 1、2、3、4 または 5 のうちいずれかに記載の半導体集積回路であって、前記トランジスタが半導体基板以外の、ガラス基板または透明基板上に形成された薄膜トランジスタであることを特徴とした半導体集積回路である。この半導体集積回路によれば、薄膜トランジスタを集積化したディスプレイ基板やセンサー基板に搭載する周辺回路が狭幅にレイアウトされ、表示画面または感受領域が大きな表示装置またはセンサーを提供できる。

【 0 0 1 7 】

本発明の請求項 7 に関わるものは、請求項 6 記載の半導体集積回路であって、非晶質半導体層を多結晶半導体に結晶化する工程でゲート幅方向に結晶化を進めることを特徴とする半導体集積回路の製造方法である。この製造方法によれば、各トランジスタの結晶化が同時に進行するためトランジスタ間の性能差を低減することができる。

【 0 0 1 8 】

本発明の請求項 8 に関わるものは、請求項 1、2、3、4、5、6 または 7 のう

ちいずれかに記載の半導体集積回路であって、複数のコンデンサと複数のトランジスタにより構成される、チャージポンプ回路である。このチャージポンプ回路によれば、狭幅にレイアウトされた回路によって、表示装置やセンサーで用いる複数の電源電圧を生成することで、狭幅領域でかつ入力インターフェースが簡略化された前記装置やセンサーを提供できる。

【 0 0 1 9 】

本発明の請求項 9 に関わるものは、複数のトランジスタで構成された回路の回路データを記憶する記憶手段と、同じトランジスタを 1 回だけ通る 1 以上の経路の組であって、同じ組の経路をあわせると前記回路データで示される回路網を網羅できる経路の組を探索する探索手段と、前記探索手段で探索された経路の組のうち、含まれる経路の数が最小の経路の組を抽出する抽出手段と、各トランジスタのソース電極およびドレイン電極の幅、ソース電極とドレイン電極との間の領域の幅、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅、前記トランジスタの個数および前記抽出手段で抽出された経路の組に含まれる経路の数から、レイアウト幅を決定する幅決定手段と、前記幅決定手段で決定された幅を持つ狭幅領域に、前記回路に含まれるトランジスタのソース電極、ドレイン電極およびゲート電極を互いに並行に配置したレイアウト情報を生成するレイアウト決定手段と、前記レイアウト決定手段で決定されたレイアウト情報を出力する出力手段とを備えることを特徴とするレイアウト設計装置である。このレイアウト設計装置によれば、複数のトランジスタで構成された回路を狭幅領域に配置可能なレイアウトを自動生成することができる。

【 0 0 2 0 】

本発明の請求項 1 0 に関わるものは、請求項 9 記載のレイアウト設計装置において、各トランジスタのソース電極およびドレイン電極の幅を W_i 、ソース電極とドレイン電極との間の領域の幅を L_j 、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅を P_k 、前記トランジスタの個数を n 、および前記抽出手段で抽出された経路の組に含まれる経路の数を m とするとき、前記幅決定手段は、次式、

$$\sum_{i=1}^{n+m} W_i + \sum_{j=1}^n L_j + \sum_{k=1}^{m-1} P_k$$

で与えられる値をレイアウト幅とするものであることを特徴とするレイアウト設計装置である。このレイアウト設計装置によれば、複数のトランジスタで構成された回路を狭幅領域に配置可能なレイアウトを自動生成することができる。

【 0 0 2 1 】

本発明の請求項 1 1 に関わるものは、請求項 9 または 1 0 記載のレイアウト設計装置において、ソース電極とドレイン電極との間の領域の幅より、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅の方を狭くしたことを特徴とするレイアウト設計装置である。このレイアウト設計装置によれば、複数のトランジスタを並列に配置する場合に一般的に採用されているゲート電極間の間隔を一定にするレイアウト方法に比べて、複数のトランジスタで構成された回路を $(L - P) (m - 1)$ だけ狭い幅の狭幅領域に配置可能なレイアウトを自動生成することができる。

【 0 0 2 2 】

本発明の請求項 1 2 に関わるものは、請求項 9 または 1 0 記載のレイアウト設計装置において、前記レイアウト決定手段は、前記抽出手段で抽出される 1 以上の経路の組のうちの任意の 1 つの経路の組に従って、その組に含まれる経路毎に、その経路で示されるトランジスタの通過順またはその通過順と逆順に、ソース電極またはドレイン電極とゲート電極を交互に配置するものであることを特徴とするレイアウト設計装置である。このレイアウト設計装置によれば、必ずしも小面積に配置可能なレイアウトが得られるとは限らないが、狭幅領域に配置可能な半導体集積回路をレイアウト設計する処理が簡単になる。

【 0 0 2 3 】

本発明の請求項 1 3 に関わるものは、請求項 9 または 1 0 記載のレイアウト設計装置において、前記抽出手段で抽出された 1 以上の経路の組のうちで、ソース電極またはドレイン電極のうち互いに同電位となる電極を相互に結線する相互配線の全長が最小となる、経路の組とその組に含まれる複数の経路の順番とその組に含まれる各経路の接続方向とを決定する相互配線長最小組決定手段を備え、前記

レイアウト決定手段は、前記相互配線長最小組決定手段で決定された、経路の組とその組に含まれる複数の経路の順番とその組に含まれる各経路の接続方向に従って、ソース電極またはドレイン電極とゲート電極を交互に配置するものであることを特徴とするレイアウト設計装置である。このレイアウト設計装置によれば、複数のトランジスタで構成された回路を狭幅領域に小面積で配置可能なレイアウトを自動生成することができる。

【 0 0 2 4 】

本発明の請求項 1 4 に関わるものは、請求項 1 2 または 1 3 記載のレイアウト設計装置において、前記レイアウト決定手段は、ソース電極またはドレイン電極のうち互いに同電位となる電極を相互に結線する相互結線の配置を決定するものであることを特徴とするレイアウト設計装置である。このレイアウト設計装置によれば、所望の回路が複雑化した場合においても、レイアウトの複雑化と外部端子数の増加を抑えることができる。

【 0 0 2 5 】

本発明の請求項 1 5 に関わるものは、請求項 1 2 または 1 3 記載のレイアウト設計装置において、前記レイアウト決定手段は、前記回路データで外部端子と接続することが指定されているトランジスタのソース電極およびドレイン電極については、外部端子と接続するために電極の長さを延長するものであることを特徴とするレイアウト設計装置である。このレイアウト設計装置によれば、外部入出力端子が一辺に集中していて自由度が小さい場合でも、レイアウト幅を増加させず外部入出力端子と接続可能な半導体集積回路の自動レイアウトが可能になる。

【 0 0 2 6 】

本発明の請求項 1 6 に関わるものは、回路に含まれる同じトランジスタを 1 回だけ通る 1 以上の経路の組であって、同じ組の経路をあわせると前記回路の回路網を網羅できる経路の組のうち、含まれる経路の数が最小の経路の組における前記経路の数と、各トランジスタのソース電極およびドレイン電極の幅と、ソース電極とドレイン電極との間の領域の幅と、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅と、前記回路に含まれるトランジスタの個数とから決定された幅を持つ狭幅領域に、前記回路に含まれるトランジス

タのソース電極、ドレイン電極およびゲート電極を互いに並行に配置した構造を有することを特徴とする半導体集積回路である。この半導体集積回路によれば、複数のトランジスタで構成された回路を狭幅領域に配置可能な半導体集積回路が得られる。

【 0 0 2 7 】

本発明の請求項 1 7 に関わるものは、請求項 1 6 記載の半導体集積回路において、各トランジスタのソース電極およびドレイン電極の幅を W_i 、ソース電極とドレイン電極との間の領域の幅を L_j 、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅を P_k 、前記トランジスタの個数を n 、および前記抽出手段で抽出された経路の組に含まれる経路の数を m とするとき、前記狭幅領域は、

$$\sum_{i=1}^{n+m} W_i + \sum_{j=1}^n L_j + \sum_{k=1}^{m-1} P_k$$

の幅を有することを特徴とする半導体集積回路である。この半導体集積回路によれば、複数のトランジスタで構成された回路を狭幅領域に配置可能な半導体集積回路が得られる。

【 0 0 2 8 】

本発明の請求項 1 8 に関わるものは、請求項 1 6 または 1 7 記載の半導体集積回路において、ソース電極とドレイン電極との間の領域の幅より、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅の方が狭くなっていることを特徴とする半導体集積回路である。この半導体集積回路によれば、ゲート電極間の間隔を一定に配置した一般的な半導体集積回路に比べて、 $(L - P)(m - 1)$ だけ狭い幅の狭幅領域に配置可能な半導体集積回路が得られる。

【 0 0 2 9 】

本発明の請求項 1 9 に関わるものは、請求項 1 6 または 1 7 記載の半導体集積回路において、経路の数が最小の任意の経路の組に従って、その組に含まれる経路毎に、その経路で示されるトランジスタの通過順またはその通過順と逆順に、ソース電極またはドレイン電極とゲート電極が交互に配置されていることを特徴と

する半導体集積回路である。この半導体集積回路は、必ずしも小面積にはならないが、レイアウト設計の処理が簡単な半導体集積回路が得られる。

【 0 0 3 0 】

本発明の請求項 2 0 に関わるものは、請求項 1 6 または 1 7 記載の半導体集積回路において、経路の数が最小の経路の組のうちで、ソース電極またはドレイン電極のうち互いに同電位となる電極を相互に結線する相互配線の全長が最小となる、経路の組とその組に含まれる複数の経路の順番とその組に含まれる各経路の接続方向に従って、ソース電極またはドレイン電極とゲート電極が交互に配置されていることを特徴とする半導体集積回路である。この半導体集積回路によれば、複数のトランジスタで構成された回路を狭幅領域に小面積で配置可能な半導体集積回路が得られる。

【 0 0 3 1 】

本発明の請求項 2 1 に関わるものは、請求項 1 9 または 2 0 記載の半導体集積回路において、ソース電極またはドレイン電極のうち互いに同電位となる電極が、ソース電極またはドレイン電極と直角方向に伸びる相互結線により相互に結線されていることを特徴とする半導体集積回路である。この半導体集積回路によれば、所望の回路が複雑化した場合においても、レイアウトの複雑化と外部端子数の増加を抑えることができる半導体集積回路が得られる。

【 0 0 3 2 】

本発明の請求項 2 2 に関わるものは、請求項 1 9 または 2 0 記載の半導体集積回路において、外部端子と接続されるトランジスタのソース電極およびドレイン電極が外部端子と接続するために延長されていることを特徴とする半導体集積回路である。この半導体集積回路によれば、外部入出力端子が一辺に集中していて自由度が小さい場合でも、レイアウト幅を増加させず外部入出力端子と接続可能な半導体集積回路が得られる。

本発明の請求項 2 3 に関わるものは、請求項 1 6 乃至 2 2 のうちいずれかに記載の半導体集積回路であって、前記トランジスタが半導体基板以外の、ガラス基板または透明基板上に形成された薄膜トランジスタであることを特徴とした半導体集積回路である。この半導体集積回路によれば、薄膜トランジスタを集積化した

ディスプレイ基板やセンサー基板に搭載する周辺回路が狭幅にレイアウトされ、表示画面または感受領域が大きな表示装置またはセンサーを提供できる。

本発明の請求項 2 4 に関わるものは、請求項 2 3 記載の半導体集積回路であって、非晶質半導体層を多結晶半導体に結晶化する工程でゲート幅方向に結晶化を進めることを特徴とする半導体集積回路の製造方法である。この製造方法によれば、各トランジスタの結晶化が同時に進行するためトランジスタ間の性能差を低減することができる。

【 0 0 3 3 】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。図 1 は本発明の第 1 の実施の形態を示すレイアウトである。このレイアウトは図 2 に示した電源線 a 3 4 の接続を電源線 A 3 2 または B 3 3 に切り換える回路に対応している。電源線 A 3 2、a 3 4 および B 3 3 は、平行に配置され、それぞれの間隙にトランジスタ 1 0 および 1 1 が配置される。図 1 では各トランジスタはゲート電極を 1 つ有し、トランジスタ 1 0 のゲート電極 3 0、トランジスタ 1 1 のゲート電極 3 1 で図示される。ゲート電極 3 0 および 3 1 は電源線 a 3 4 の両側に配置される。各ゲート電極はゲート層で形成される。また、各電源線は第 1 メタル層で形成され、図示しないコンタクトにより各トランジスタのボディの活性領域と電氣的に接続が採られている。

【 0 0 3 4 】

ゲート、ソース、ドレイン電極で構成される 1 つのトランジスタが占有する最小の幅は、ゲート長 L_g とソースおよびドレイン電極のそれぞれの幅 W の合計 ($L_g + 2W$) である。ここでゲート電極とソースまたはドレイン電極のスペースは簡単のためゼロとする。このトランジスタをゲート長方向に 2 つ並べた場合、幅は 2 倍の、 $2L_g + 4W$ となる。図 2 の回路のように 2 つのトランジスタでソースまたはドレインが直列に接続されている場合、本実施例の図 1 に示すように、2 つの電極で 1 つの共有電極にまとめられるため、回路幅は $2L_g + 3W$ と狭くできる。そして、簡易的に本レイアウトの占める面積を算出すると、回路の長さはゲート幅 W_g であるから、全面積は $(2L_g + 3W) \times W_g$ となる。これは同

じ回路を配置した図 3 4 のレイアウトと比較して、常に $2 L g \times W / (L g + W)$) だけ小面積である。

【 0 0 3 5 】

【発明の他の実施の形態】

図 3 は本発明の第 2 の実施の形態を示すレイアウトであり、図 1 のレイアウトに一辺に集中した外部端子への接続機能を追加している。また電源線 A 3 2 および B 3 3 は外部の電位とするために、電源線を第 1 メタル層の配線にて図の上方に延長し、外部接続端子 5 0 との接続を採る。電源線 a 3 4 は内部の別回路と接続するために図の下方に配線を延長する。その際に、配線引き回しによる回路レイアウトの幅が増加しない点が特徴である。

【 0 0 3 6 】

図 5 は本発明の第 3 の実施の形態を示すレイアウトである。このレイアウトは図 4 に示した配線の切り換え回路に対応しており、電源線 A 3 2 および B 3 3 と電源線 a 3 4 および b 3 5 との接続を排他で行う。この回路は以下のように動作する。ゲート信号 ϕ が高レベルの時、トランジスタ 1 0 および 1 3 がオン状態となり、電源線 A 3 2 と電源線 a 3 4、および電源線 B 3 3 と電源線 b 3 5 が接続される。ゲート信号 ϕ が低レベルの時は、トランジスタ 1 1 および 1 2 がオン状態となり、A 3 2 と b 3 5、および B 3 3 と a 3 4 が接続され、接続が反転する。この回路は、例えば極性反転回路として用いられる。入力電源の A 3 2 を高電位、B 3 3 を低電位に保ちつつ、ゲート信号 ϕ により電源線 a 3 4 を高電位、電源線 b 3 5 を低電位としたり、a 3 4 を低電位、b 3 5 を高電位に切り換えることができる。

【 0 0 3 7 】

レイアウトは、電源線 A 3 2、a 3 4、B 3 3、b 3 5 および A 3 6 を平行に配置し、各電源線の間隙にトランジスタを配置する。すなわち、電源線 A 3 2 と a 3 4 の間にトランジスタ 1 0 とそのゲート電極 3 0 を、電源線 a 3 4 と B 3 3 の間にトランジスタ 1 1 とそのゲート電極 3 1 を、電源線 B 3 3 と b 3 5 の間にトランジスタ 1 3 とそのゲート電極 3 7 を、電源線 b 3 5 と A 3 6 の間にトランジスタ 1 2 とそのゲート電極 3 8 を、それぞれ配置する。図 4 の回路図から電源線

A 3 2 と A 3 6 には同電位を与える必要がある。本実施例の特徴は上記 2 つの電源線 A 3 2 と A 3 6 を結線し、かつ別の電源線 B 3 3 との結線を回避する相互結線 3 9 を設けている点である。相互配線 3 9 は各電源線と直角に交わる。図 5 では相互結線 3 9 をゲート層で形成し、第 1 メタル層で形成された電源線 A 3 2、A 3 6 とそれぞれコンタクト 4 0、4 1 で接続を採っている。また図 6 では相互結線 4 2 を第 2 メタル層で形成し、第 1 メタル層で形成された電極 A 3 2、A 3 6 とそれぞれコンタクト 4 3、4 4 で接続を採っている。ここで各コンタクト 4 0、4 1、4 3、4 4 は図示したような 1 つではなく、複数で構成されていても構わない。

【 0 0 3 8 】

図 7 は本発明の第 4 の実施の形態を示すレイアウトである。このレイアウトは図 4 に示した回路に対応する。本実施の形態の特徴はゲート信号 ϕ およびその反転信号を伝搬するためのゲート信号配線 4 5、4 6、4 7 および 4 8 を、ゲート電極と平行に設けている点である。ゲート信号配線 4 5、4 6、4 7 および 4 8 はゲート電極よりも抵抗が低く、寄生容量も小さい、例えば第 1 メタル層において形成することで、CR 時定数で決まるゲート信号の伝搬速度を向上させる。これにより回路レイアウトを狭くするためにゲート幅の広いトランジスタを用いた場合においてもスイッチング時間の遅延を低減することができる。

【 0 0 3 9 】

図 8 は本発明の第 5 の実施の形態を示す図である。図に示した表示装置またはセンサーは、表示領域または感受領域 1 0 2 にマトリクス状に配置される表示素子またはセンサー素子とそれらを個々に駆動するアクティブマトリクストランジスタ、そして周辺回路 1 0 3 および外部信号や電源を入出力する多層プリント配線基板 1 0 4 と接続端子 1 0 0 で構成される。ここで、アクティブマトリクストランジスタおよび周辺回路 1 0 3 は、半導体基板とは異なる透明基板、ガラス基板 1 0 1 上に形成された薄膜トランジスタで構成されている。図 8 では例えば図 4 に示した配線切り換え回路を周辺回路領域 1 0 5 に配置している。この回路は例えば電源電圧の切り換えなどの目的に用いる。図 9 に示した拡大図によれば、回路のレイアウトは図 5 と同一であり、電極 A 3 2 および B 3 3 は外部接続端子 1

0 0 と接続するために延長され、また電極 a 3 4 および b 3 5 は内部回路へ接続するために延長される。

【 0 0 4 0 】

図 1 0 および図 1 1 は本発明の第 6 の実施の形態である薄膜トランジスタの製造工程を示す図である。特許文献 1 にあるように周辺回路 1 0 3 を構成する薄膜トランジスタは、ガラス基板 1 0 1 上に成膜された非晶質半導体 1 0 6 にレーザーアニールなどにより多結晶化工程を施した多結晶半導体 1 1 0 ～ 1 1 3 である。ここで、トランジスタ 1 0 ～ 1 3 のアイランド 1 1 0 ～ 1 1 3 の形成は、ホットエッチングなどにより行い、多結晶化との順序は不問である。次に、図示しないゲート絶縁膜を形成した上に図 1 1 に示すようにゲート電極 3 0、3 1、3 7、3 8、4 3 を形成する。そして、コンタクトホールを形成した後、第 1 層メタルによりソースおよびドレイン電極 A 3 2、B 3 3、a 3 4、b 3 5、A 3 6 を形成する。コンタクトホールは、相互結線 4 3 と電極 A 3 2、A 3 6 との電氣的接続を採るのに加えて、多結晶半導体のアイランド 1 1 0 ～ 1 1 3 とそれぞれの第 1 層メタル電極との間の電氣的接続を採るために設けられる。

【 0 0 4 1 】

図 1 0 に示すように本実施の形態では非晶質半導体 1 0 6 を結晶化する工程において、結晶化を進める方向 1 0 7 をゲート幅方向 1 0 8 と平行とすることを特徴としている。これによりゲート長方向に平行に並んだ複数のトランジスタの結晶化が同時に進められる。これにより結晶化工程で温度、熱条件に変動が生じたとしても、並んだトランジスタ間の性能差を抑えることができる。

【 0 0 4 2 】

次に、本発明の第 7 の実施の形態として、前記実施の形態で示したようなレイアウトを自動生成するレイアウト設計装置について、図 1 2 を参照して説明する。

【 0 0 4 3 】

図 1 2 を参照すると、本実施の形態のレイアウト設計装置 2 0 1 は、処理装置 2 0 2、メモリ 2 0 3、回路データ記憶装置 2 0 4、レイアウト結果記憶装置 2 0 5 および記録媒体 2 0 6 を含んで構成される。また、メモリ 2 0 3 は、探索結果記憶部 2 1 1、抽出結果記憶部 2 1 2、決定幅記憶部 2 1 3 および決定レイアウト

ト記憶部 2 1 4 を含み、処理装置 2 0 2 は、探索手段 2 2 1、抽出手段 2 2 2、幅決定手段 2 2 3、レイアウト決定手段 2 2 4 および出力手段 2 2 5 を含む。

【 0 0 4 4 】

回路データ記憶装置 2 0 4 は、レイアウト設計対象となる複数のトランジスタで構成された回路の回路データを記憶する磁気ディスク等の記憶手段であり、レイアウト結果記憶装置 2 0 5 は、設計されたレイアウト情報を記憶する磁気ディスク等の記憶手段である。

【 0 0 4 5 】

メモリ 2 0 3 は、コンピュータの主記憶で構成され、処理装置 2 0 2 は、コンピュータの CPU で構成される。記録媒体 2 0 6 は、磁気ディスクや CD-ROM 等のコンピュータ可読記録媒体であり、レイアウト設計プログラムを記録する。この記録媒体 2 0 6 に記録されたレイアウト設計プログラムは、処理装置 2 0 2 を構成する CPU によって読み取られ、その動作を制御することにより、処理装置 2 0 2 上に、探索手段 2 2 1、抽出手段 2 2 2、幅決定手段 2 2 3、レイアウト決定手段 2 2 4 および出力手段 2 2 5 を実現する。

【 0 0 4 6 】

探索手段 2 2 1 は、回路データ記憶装置 2 0 4 から回路データを入力し、同じトランジスタを 1 回だけ通る 1 以上の経路の組であって、同じ組の経路をあわせると前記回路データで示される回路網を網羅できる経路の組を探索し、探索結果を記憶部 2 1 1 に記録する。

【 0 0 4 7 】

抽出手段 2 2 2 は、記憶部 2 1 1 から探索結果を入力し、探索された経路の組のうち、含まれる経路の数が最小の経路の組を 1 以上抽出し、抽出結果を記憶部 2 1 2 に記録する。

【 0 0 4 8 】

幅決定手段 2 2 3 は、回路データ記憶装置 2 0 4 から回路データを入力し、記憶部 2 1 2 から経路の数が最小の経路の組における当該経路の数を入力し、レイアウト幅を計算して、計算結果を記憶部 2 1 3 に記録する。幅決定手段 2 2 3 は、各トランジスタのソース電極およびドレイン電極の幅、ソース電極とドレイン電

極との間の領域の幅、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅、レイアウト対象回路に含まれるトランジスタの個数および前記経路の数から、レイアウト幅を計算する。

【 0 0 4 9 】

幅決定手段 2 2 3 は、例えば、各トランジスタのソース電極およびドレイン電極の幅を W 、ソース電極とドレイン電極との間の領域の幅を L 、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅を P 、トランジスタの個数を n 、および前記経路の数を m とすると、次式により、レイアウト幅を計算する。

$$\text{レイアウト幅} = W(n + m) + L(n + m - 1) - (L - P)(m - 1) \quad \dots (1)$$

【 0 0 5 0 】

ここで、ソース電極とドレイン電極との間の領域にはゲート電極が設けられるのに対し、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅はマスキュールに準じた最小間隔とすることができるため、一般に $P < L$ とすることができる。

【 0 0 5 1 】

式 (1) では、全てのソース電極およびドレイン電極を同じ幅にしたが、特定の 1 以上のソース電極あるいはドレイン電極を他のものより広くする等、同じ幅でないときは、各ソース電極およびドレイン電極の幅の違いを考慮して、レイアウト幅を計算すれば良い。ソース電極とドレイン電極との間の領域の幅が同じでない場合、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅が同じでない場合も、実際の幅を考慮してレイアウト幅を計算すれば良い。具体的には、各トランジスタのソース電極およびドレイン電極の幅を W_i 、ソース電極とドレイン電極との間の領域の幅を L_j 、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅を P_k 、トランジスタの個数を n 、および経路の数を m とするとき、レイアウト幅は、次式 (2) によって求められる。

$$\sum_{i=1}^{n+m} W_i + \sum_{j=1}^n L_j + \sum_{k=1}^{m-1} P_k$$

… (2)

ここで、 W_i 、 L_j 、 P_k の実際の幅の値は、例えば、回路データの一部として回路データ記憶装置204に記憶しておくことができる。勿論、パラメータとして別途指定するようにして良い。

【0052】

レイアウト決定手段224は、回路データ記憶装置204から回路データを入力し、記憶部213からレイアウト幅を入力し、そのレイアウト幅を持つ狭幅領域に、回路データに含まれるトランジスタの全てのソース電極、ドレイン電極およびゲート電極を互いに並行に配置したレイアウト情報を生成する。本実施の形態では、レイアウト決定手段224は、記憶部212から任意の1つの経路の組を入力し、その組に含まれる経路毎に、その経路で示されるトランジスタの通過順またはその通過順と逆順に、ソース電極またはドレイン電極とゲート電極を交互に配置する。また、レイアウト決定手段224は、ソース電極またはドレイン電極のうち互いに同電位となる電極を相互に結線する相互結線の配置を決定する。更に、レイアウト決定手段224は、回路データで外部端子と接続することが指定されているトランジスタのソース電極およびドレイン電極については、外部端子と接続するために電極の長さを延長する。レイアウト決定手段224は、こうして決定したレイアウト情報を記憶部214に記録する。

【0053】

出力手段225は、記憶部214からレイアウト情報を入力し、レイアウト結果記憶装置205に出力する。ここでは、レイアウト結果記憶装置205にレイアウト情報を出力したが、図示しないプリンタに出力したり、表示装置に出力したり、別の出力形態であっても良い。

【0054】

レイアウト結果記憶装置205に出力されたレイアウト情報に従って半導体集積回路を製造することにより、回路データに含まれる同じトランジスタを1回だけ通る1以上の経路の組であって、同じ組の経路をあわせると前記回路データの回

路網を網羅できる経路の組のうち、含まれる経路の数が最小の経路の組における前記経路の数と、各トランジスタのソース電極およびドレイン電極の幅と、ソース電極とドレイン電極との間の領域の幅と、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅と、前記回路データに含まれるトランジスタの個数とから決定された幅を持つ狭幅領域に、前記回路データに含まれるトランジスタの全てのソース電極、ドレイン電極およびゲート電極を互いに並行に配置した構造を持つ半導体集積回路が得られる。

【 0 0 5 5 】

図 1 3 は、本発明の第 8 の実施の形態としてのレイアウト設計装置のブロック図である。この実施の形態のレイアウト設計装置 3 0 1 は、処理装置 2 0 2 に相互配線長最小组決定手段 2 2 6 を備え、メモリ 2 0 3 に決定組記憶部 2 1 5 を備える点で図 1 2 のレイアウト設計装置 2 0 1 と構成上相違し、また、レイアウト決定手段 2 2 4 の機能の一部が相違する。記録媒体 2 0 7 は、磁気ディスク等のコンピュータ可読記録媒体であり、レイアウト設計プログラムを記録している。この記録媒体 2 0 7 に記録されたレイアウト設計プログラムは、処理装置 2 0 2 を構成する CPU によって読み取られ、その動作を制御することにより、処理装置 2 0 2 上に、探索手段 2 2 1、抽出手段 2 2 2、幅決定手段 2 2 3、レイアウト決定手段 2 2 4、出力手段 2 2 5 および相互配線長最小组決定手段 2 2 6 を実現する。以下、本実施の形態のレイアウト設計装置 3 0 1 の構成と動作を説明する。

【 0 0 5 6 】

探索手段 2 2 1、抽出手段 2 2 2 および幅決定手段 2 2 3 による処理は図 1 2 のレイアウト設計装置 2 0 1 と同じである。相互配線長最小组決定手段 2 2 6 は、回路データ記憶装置 2 0 4 から回路データを入力し、記憶部 2 1 2 から経路数が最小の経路の組を全て入力し、入力した経路の組のうちで、ソース電極またはドレイン電極のうち互いに同電位となる電極を相互に結線する相互配線の全長が最小となる、経路の組とその組に含まれる複数の経路の順番とその組に含まれる各経路の接続方向とを決定し、決定した情報を記憶部 2 1 5 に記録する。

【 0 0 5 7 】

レイアウト決定手段 2 2 4 は、回路データ記憶装置 2 0 4 から回路データを入力し、記憶部 2 1 3 からレイアウト幅を入力し、そのレイアウト幅を持つ狭幅領域に、回路データに含まれるトランジスタの全てのソース電極、ドレイン電極およびゲート電極を互いに並行に配置したレイアウト情報を生成するが、本実施の形態では、記憶部 2 1 3 から任意の 1 つの、経路の組とその組に含まれる複数の経路の順番とその組に含まれる各経路の接続方向とを入力し、その経路の組とその組に含まれる複数の経路の順番とその組に含まれる各経路の接続方向に従って、ソース電極またはドレイン電極とゲート電極を交互に配置する。

【 0 0 5 8 】

レイアウト決定手段 2 2 4 の他の処理および出力手段 2 2 5 の処理は、図 1 2 のレイアウト設計装置 2 0 1 と同じである。

【 0 0 5 9 】

レイアウト結果記憶装置 2 0 5 に出力されたレイアウト情報に従って半導体集積回路を製造することにより、回路データに含まれる同じトランジスタを 1 回だけ通る 1 以上の経路の組であって、同じ組の経路をあわせると前記回路データの回路網を網羅できる経路の組のうち、含まれる経路の数が最小の経路の組における前記経路の数と、各トランジスタのソース電極およびドレイン電極の幅と、ソース電極とドレイン電極との間の領域の幅と、隣接するトランジスタで共有化されないソース電極またはドレイン電極間の領域の幅と、前記回路データに含まれるトランジスタの個数とから決定された幅を持つ狭幅領域に、前記回路データに含まれるトランジスタの全てのソース電極、ドレイン電極およびゲート電極を互いに並行に配置した構造を持つ半導体集積回路が得られる。この点は図 1 2 のレイアウト設計装置 2 0 1 の場合と同じであるが、本実施の形態のレイアウト設計装置 3 0 1 では、経路の数が最小の経路の組のうちで、ソース電極またはドレイン電極のうち互いに同電位となる電極を相互に結線する相互配線の全長が最小となる、経路の組とその組に含まれる複数の経路の順番とその組に含まれる各経路の接続方向に従って、ソース電極またはドレイン電極とゲート電極が交互に配置されるため、回路が占める面積が図 1 2 のレイアウト設計装置 2 0 1 によるものに比べて一般的に小さくなる。

【 0 0 6 0 】

【実施例】

次に、本発明のレイアウト設計装置の実施例を、図面を参照して説明する。この実施例は本発明の第 8 の実施の形態の実施例に相当する。

【 0 0 6 1 】

図 1 4 は、本実施例のレイアウト設計装置で用いるレイアウト決定アルゴリズムの概略フローチャート、図 1 5 は本実施例のレイアウト設計装置のシステム構成図である。先ず、図 1 4、図 1 5 を参照して、本実施例のレイアウト設計装置の概要を説明する。

【 0 0 6 2 】

「回路データ入力」（ステップ A）においては、入力装置・コンソール 1 2 1 もしくはディスク装置 1 2 2、内部記憶装置 1 2 3 から、レイアウトする回路に関するデータすなわち回路の結線情報を取得し、配列データに加工した後に内部記憶装置 1 2 3 に記憶させる。

【 0 0 6 3 】

「自動結線」（ステップ B）においては、はじめに回路幅が最小、すなわち共有化されないソース・ドレイン電極の数が最小となるように、ソースまたはドレイン電極が連続して直列接続する経路（一筆書き）を回路網から生成する。1 つの直列接続した経路ではすべてのトランジスタを通過できない場合は、複数の経路によりすべてのトランジスタを通過するような「経路の組」を生成する。そして経路の数が最小となる「経路の組」を 1 つ以上探す。

【 0 0 6 4 】

「自動配置・相互結線」（ステップ C）においては、前工程にて決まった組み合わせに、所望の回路となるように経路同士間で相互結線を施し、相互結線の全長が最小となる組み合わせと組の順序を探す。

【 0 0 6 5 】

「外部端子との接続」（ステップ D）では、外部端子と接続するソースまたはドレイン電極のうち重複しないものを延長し、外部端子に接続する。

【 0 0 6 6 】

「回路レイアウト出力」（ステップE）においては、トランジスタの並び、相互結線、外部端子への配線の情報を配列データ、図表もしくはレイアウト図として内部記憶装置 1 2 3 もしくはディスク装置 1 2 2 に記録し、また出力装置 1 2 5 に出力する。

【 0 0 6 7 】

以上の工程において、ブロック間のデータのやりとりはバスライン 1 2 6 を介して行い、探索などの処理および各ブロックの制御は演算・制御部 1 2 4 にて行う。演算・制御部 1 2 4 は、たとえばディスク装置 1 2 2 に記憶されたレイアウト設計プログラムを実行することにより、探索などの処理および各ブロックの制御を実行する。

【 0 0 6 8 】

次に、本実施例のレイアウト設計装置の詳細な動作を、チャージポンプ型昇圧回路のレイアウト設計を例に挙げて、図面を参照して説明する。

【 0 0 6 9 】

図 1 6 はコンデンサと電子スイッチにより構成されたチャージポンプ型昇圧回路の例である。機能は入力電源電圧 V_{DD} から例えば 2 倍、3 倍、- 2 倍の昇圧電圧を生成する電源回路である。この昇圧回路を図 8 の周辺回路領域 1 0 3 に狭幅なレイアウトで配置することによる利点は、外部から入力する電源電圧を低圧の V_{DD} のみとすることができ、入力インターフェースが簡略化できる点である。他の周辺回路例えばアクティブマトリクスゲート駆動回路やデータ駆動回路が必要とする V_{DD} より高圧の電源や負極性の電源には先に昇圧した 2 倍、3 倍、- 2 倍の電圧を用いればよい。

【 0 0 7 0 】

図 1 6 の回路の昇圧動作はトランジスタスイッチ A ~ L をゲート信号 ϕ とその反転信号により制御し、コンデンサ 1 5 4、1 5 7、1 6 0 の接続を切り換えることで行われる。ゲート信号 ϕ が高レベルのとき、トランジスタ A および D がオン状態となりコンデンサ 1 5 4 には入力電源電圧 V_{DD} 1 5 0 が充電される。同時にトランジスタ F および E もオン状態となりコンデンサ 1 5 7 には入力電源電圧 V_{DD} 1 5 0 が充電される。そしてゲート信号 ϕ が低レベルになると、トランジ

スタBおよびCがオン状態となり、コンデンサ154は入力電源と直列接続され出力端子151の電位は $2 \times VDD$ に昇圧される。同時に、トランジスタGおよびHがオン状態となりコンデンサ157は、入力電源150、コンデンサ154と直列接続され出力端子152の電位は $3 \times VDD$ に昇圧される。一方、ゲート信号 ϕ が低レベルのとき、トランジスタIおよびLがオン状態となるため、コンデンサ160には出力端子151の電位、 $2 \times VDD$ が充電される。そして再びゲート信号 ϕ が高レベルになるとトランジスタKおよびJがオン状態となりコンデンサ160の高電位側が接地点163と同電位となるため、コンデンサ160の低電位側すなわち出力端子153の電位は充電電圧の極性を反転した $-2 \times VDD$ となる。各出力端子151、152、153には図示しない電圧保持コンデンサが接続され、それぞれの昇圧電圧が保持される。

【0071】

上記昇圧回路が1mA程度の電流を負荷に供給する場合、ゲート信号のクロック周波数10kHz、電圧の変動を0.1V以下とすると、必要となる電圧保持コンデンサの容量は $1 \text{ mA} / (0.1 \text{ V} \times 10 \text{ kHz}) = 1 \mu\text{F}$ 程度となる。この大きさの容量では半導体集積回路の外に付ける必要がある。また入力電源150や出力151、152、153、外付けコンデンサ154、157、160、各トランジスタA～Lを結ぶすべての配線には、出力する電流に相当した電流が流れるため、電源配線の扱いとなる。

【0072】

以下に、図16の回路のレイアウトを、図14のレイアウト決定アルゴリズムに沿って決定する工程を説明する。

【0073】

回路データ入力工程（ステップA）では、以下の処理を行う。はじめに回路を構成するノード（接点）にa、b、...、kと連番し、ツリー（木、ここではトランジスタ）にA、B、...、Lと連番する。次にノードの接続関係が回路構成を反映するように、行を「対象ノード」、列を対象ノードに繋がる「接続ノード」、そして配列の内容が「接続ツリー」となる2次元マップを自動作成する。また対象ノードを引数とし、接続ノードを内容とするノード配列N（対象ノード、

カウント) および、対象ノードを引数として、接続ツリーを内容とするツリー配列 T (対象ノード、カウント) を、前記 2 次元マップより自動生成する。それぞれのカウントは対象ノードに繋がっているノードとツリーの数を表す。図 1 6 の回路に関する 2 次元マップおよび、接続ノード配列、接続ツリー配列を図 1 7 に示す。

【 0 0 7 4 】

さらに、図 1 6 の回路図で外部に接続するノードを、結線情報から認識して、外部接続ノード配列 $CONNECT$ に保存する。外部に接続する端子は入出力電圧端子と外付けコンデンサの両端子であり、以下に列挙する。入力電圧 VDD を印加するノード a 、コンデンサ 1 5 4 の両端と接続するノード b 、 c 、2 倍の昇圧電圧を出力するノード d 、接地点 1 6 3 と接続するノード e 、コンデンサ 1 5 7 の両端と接続するノード f 、 g 、3 倍の昇圧電圧を出力するノード h 、コンデンサ 1 6 0 の両端に接続するノード i 、 j 、- 2 倍の昇圧電圧を出力するノード k の計 1 1 個である。配列 $CONNECT$ を図 1 8 に図示する。

【 0 0 7 5 】

自動結線工程 (ステップ B) では、回路網を網羅するように、連続して直列接続するトランジスタの経路 (一筆書き) を探索する。一経路のみですべてのツリー (トランジスタ) を網羅できない場合には、他の経路と合わせて、「経路の組」を構成する。そして、その「経路の組」の経路数が最小となる組を探す。x 番目の一経路 (一筆書き) データは文字配列 $buf(x, 1)$ に、ノード名+ツリー名+ノード名+...+ツリー名+ノード名の形で保持される。ここで記号 “+” は保持しないこととする。複数の経路 y で回路網を網羅する場合は、x 番目の「経路の組」は複数の経路データ $buf(x, 1)$ 、 $buf(x, 2)$ 、...、 $buf(x, y)$ で構成する。例として経路数 2 の $buf(x, 1)$ 、 $buf(x, 2)$ を図 1 9 に示す。

【 0 0 7 6 】

経路探索はすべてのノード (a 、 b 、 c 、...、 k) をスタートノード Nst とした場合について行う。実際には、図 2 0 の全経路探索フローチャートに示すように、スタートノード $Nst = a$ 、 b 、 c 、...、 k の順に「一経路探索」

サブルーチンをコールする (S102)。その際、同じスタートノードでも複数の「経路の組」が存在するため、「一経路探索」サブルーチンの中で、新たな経路があった場合に追加フラグを立てることとする。一経路探索が終了し、追加フラグが立った場合には、同じスタートノードで再び「一経路探索」を行う (S105)。追加フラグが倒れていた場合は、現在のノードをスタートノードとする新たな「経路の組」はないため、スタートノードを次のノードに更新して順次「一経路探索」を行う (S104)。

【0077】

図21に、「一経路探索」サブルーチンの詳細を示す。このサブルーチンは、スタートノードを Nst として回路網を網羅する1組の「経路の組」を探索する。実際の探索は、 $buf(x, 1)$ を“ Nst ”としスタートノード Nst に繋がるツリーとノードを、図17の接続ツリー配列 T およびノード配列 N を参照して、 $buf(x, 1)$ に“ $+T(Nst, 1) + N(Nst, 1)$ ”を連結する (S207)。そして、現在の経路 $buf(x, 1)$ の最終ノード“ $N(Nst, 1)$ ”に繋がるツリーとノードを参照して、 $buf(x, 1)$ に“ $+T(N(Nst, 1), 1) + N(N(Nst, 1), 1)$ ”を連結する (S207)。これらの繰り返しは、現在の経路 $buf(x, y)$ の最終ノード Nc に繋がるツリー $T(Nc, z)$ とノード $N(Nc, z)$ を、現在の経路 $buf(x, y)$ の最後に連結すると記述できる。

【0078】

連結するツリー $T(Nc, z)$ が x 番目の経路の組 $buf(x, 1)$ から $buf(x, y)$ の中ですでに選ばれていた場合や (S203でYES)、連結した結果 $buf(x, y) + T(Nc, z) + N(Nc, z)$ が経路 $buf(1, 1)$ から $buf(x, y)$ にすでに含まれている場合は (S204でYES)、重複を回避するために連結処理をスキップし、次の接続ツリー $T(Nc, z+1)$ を探索するために z に1を加算する (S205)。一方、連結処理を行った場合は追加フラグを立てる (S206)。経路が行き詰まった場合、すなわち最終ノード Nc に繋がるツリー $T(Nc, z)$ がすべてすでに選択済みで $T(Nc, z)$ が空の場合 (S202でYES)、その経路 $buf(x, y)$ は終端となる。

【 0 0 7 9 】

現在までに得られた x 番目の「経路の組」 $buf(x, 1), \dots, buf(x, y)$ の中にすべてのツリー (A, B, \dots, L) が含まれる、すなわちこの「経路の組」で回路を構成するすべてのツリーを選択し終えた場合は (S 2 1 0 で YES)、この経路の組は終了となる。未だに選択されていないツリーがある場合には (S 2 1 0 で NO)、この経路の組に新たな一経路 $buf(x, y+1)$ を追加する (S 2 1 1 ~ S 2 1 3)。再探索はスタートノード Nst からではなく、連番の第 1 のノード a から行う。

【 0 0 8 0 】

自動配線工程 (ステップ B) が終了した段階では、経路の組数の最小値 $Nmin$ と、その組数を持つ複数の「経路の組」が得られ (S 1 0 7)、この段階で全体の回路幅 (レイアウト幅) は確定する。回路幅の計算は、この段階で実行しても良いし、後の時点で実行しても良い。回路幅の計算方法については既に説明したので、ここでは省略する。

【 0 0 8 1 】

以下の自動配置・相互結線工程 (ステップ C) では、前工程にて決定した、最小の組数の「経路の組」が所望の回路構成となるように相互結線を施し、相互結線長の全長が最小となる組み合わせを探索する。

【 0 0 8 2 】

図 2 3 に相互結線フローチャートを示す。変数 $Nmin$ には最小の組数を代入し、相互結線長の全長の最小 $Lmin$ には、 $buf(X, 1)$ から $buf(X, Nmin)$ の全文字数と $(Nmin-1)$ の和を 2 乗した値を初期値として代入する (S 3 0 1)。また配列 $t b l$ には、整数 $1, 2, \dots, Nmin$ から $Nmin$ 個を取り出す順列を保存しておく (S 3 0 2)。配列 $t b l$ の行数は順列の数 $Nmin!$ であり、列数は取り出す整数の個数 $Nmin$ である。例えば $Nmin=2$ と $Nmin=3$ の場合の $t b l$ を図 2 2 に示す。すべての「経路の組」から組数が $Nmin$ と等しい X 番目の「経路の組」 $buf(X, 1)$ から $buf(X, Nmin)$ を検索して、サブルーチンに処理を移す (S 3 0 3、S 3 0 4)。

【0083】

ステップS304の、X番目の「経路の組」相互結線フローチャートの詳細を図24に示す。このフローチャートでは、組数が最小の N_{min} であるX番目の「経路の組」すなわち、 $buf(X, 1)$ 、 $buf(X, 2)$ 、 \dots 、 $buf(X, N_{min})$ に対して、経路の配置順を変えながら、相互結線を行う(S401～S406)。上記 N_{min} 個の経路を配置する順列は $N_{min}!$ 通りあり、任意の順列 $C_{buf}(1)$ 、 $C_{buf}(2)$ 、 \dots 、 $C_{buf}(N_{min})$ は、先に作成した順列データ tbl を参照することで作成される。 $N_{min}=2$ の場合の、 $buf(X, 1)$ 、 $buf(X, 2)$ および $C_{buf}(1)$ 、 $C_{buf}(2)$ を図24に示す。フローチャート中、ループ変数 Q は $N_{min}!$ の繰り返しに、 R は N_{min} 個の C_{buf} に $buf(X)$ を格納するために用いる。

【0084】

ステップS406の処理の詳細を図25に示す。図25に示したフローチャートでは、上位工程から与えられた「経路の組」 $C_{buf}(1)$ 、 $C_{buf}(2)$ 、 \dots 、 $C_{buf}(N_{min})$ を1つのデータ R_{buf} に連結する。 $C_{buf}(1)$ 、 $C_{buf}(2)$ 、 \dots 、 $C_{buf}(N_{min})$ を連結する場合、各経路 $C_{buf}(J)$ を順方向とした場合と逆方向とした場合があり、経路数 N_{min} すべてを考慮するとその組み合わせは2の N_{min} 乗ある。ループ変数 I は2の N_{min} 乗の繰り返しに、 J は C_{buf} を N_{min} 個連結させて R_{buf} を生成するために、そして整数変数 K は順方向と逆方向を生成するために J と連動させて用いる。図26には $N_{min}=2$ の場合の $C_{buf}(1)$ 、 $C_{buf}(2)$ を連結した R_{buf} の例を示す。各経路の間には連結子として“/”を挿入する。

【0085】

ステップS508の処理の詳細を図27に示す。図27に示したフローチャートでは、連結された経路 R_{buf} に相互結線を施し、相互結線の全長を計算する(S601～S609)。ループ変数 I 、 J は1から R_{buf} の文字数分の繰り返しに用いる。相互結線の検索は、 R_{buf} の I 番目の文字と等しい文字を($I+1$)番目以降から検索し、 J 番目の文字が等しい場合には相互結線データとして1次元配列 $M(I)$ に配線距離である($J-I$)を代入する。これを R_{buf}

の全文字分繰り返すことで配列Mには所望の回路を構成するための結線データが蓄積される。また配列Mの内容を合計することで相互結線の全長SUMが得られる。図26に示した8通りのR b u f に対する相互結線データMおよび相互結線の全長SUMの例を図28に示す。

【0086】

次の工程は、各R b u f の相互結線全長SUMが最小であるかの判定であるが（S610）、その前に最終的に求める結果について説明する。最終結果は最小の相互結線長L m i nとそのときの経路L b u f および相互結線M b u f で表される。L b u f およびM b u f は複数の経路データを保存するために2次元の配列となる。第I番目の経路L b u f (I)は回路を構成するノードおよびツリーすべてを含んだ、“ノード+ツリー+ノード+. . . +ノード+ノード+ツリー+ノード+. . . +ノード+ツリー+ノード”の形式で表される配列で、各トランジスタのソース、ドレイン、ゲート電極の配置を表す。第I番目の経路に対する相互結線データM b u f (I, J)にはJ番目のノードの相互結線データが保存される。すなわちJ番目のノードは(J+M b u f (I, J))番目のノードと相互結線されていることを表す。

【0087】

各R b u f の相互結線全長SUMと最小相互結線L m i nを比較する工程（S610～616）を以下に述べる。SUMがL m i n未満の場合というのは、さらに相互結線長が短い経路があったことを意味する。そのため以前に蓄積されていた最小結線の経路L b u f はすべて無効となり、L b u f およびM b u f はすべてクリアされる。そして、あらたに現在の全長SUMをL m i nとし、最小結線の経路L b u f (1)および相互結線データM b u f (1)に現在の経路R b u f と相互結線データMがそれぞれ代入される。

【0088】

SUMがL m i nと等しい場合というのは、現在の経路R b u f が以前の最小結線の経路L b u f と同じ相互結線長であることを意味する。そのため、R b u f およびMは別の経路としてL b u f およびM b u f に追加される。

【0089】

最後には、全組み合わせを通して、相互結線長の合計が L_{min} で最小となる経路 L_{buf} と相互結線データ M_{buf} が CNT 個、求められる。

【0090】

外部端子との接続工程（ステップD）の詳細を図29に示す。図29に示したフローチャートでは、経路 L_{buf} および相互結線データ M_{buf} と、図18に示した外部接続ノード配列から外部接続データ N_{buf} を求める。変数 I は1から CNT の繰り返しに、 J は1から経路長までの繰り返しに、 K は1から外部接続ノード数までの繰り返しに用いる。外部接続データ N_{buf} は2次元配列であり、 I 番目の経路 L_{buf} の J 文字目のノードが外部接続ノードである場合、 $N_{buf}(I, J)$ を1（真）、外部接続ノードでない場合、 $N_{buf}(I, J) = 0$ （偽）とする（S710、S711）。 I 番目の経路 $L_{buf}(I)$ に対して、先頭文字から外部接続ノードデータ $CONNECT$ との照合を行う前に、相互結線されて共通電位となったノードの重複をさける必要がある。 I 番目の経路の J 文字目 $L_{buf}(I, J)$ が相互結線ノードであるかどうかは、 M_{buf} を参照することで判定できる。 $M_{buf}(I, J)$ が空である場合は $L_{buf}(I, J)$ は相互結線ノードではないため、以下 $CONNECT$ との照合に入る。一方、 $M_{buf}(I, J)$ が空でない場合は $L_{buf}(I, J)$ が相互結線ノードであり、以降に共通電位のノードが存在することから、ここでは $N_{buf}(I, J)$ は0とする。 $CONNECT$ との照合は、 K を1から外部接続ノード数だけ繰り返す間に、 $L_{buf}(I, J)$ と $CONNECT(K)$ が等しい場合、 $N_{buf}(I, J)$ は1となる。ここで $L_{buf}(I, J)$ にはノード名以外のツリー名や連結子“/”が含まれるが $CONNECT(K)$ とは一致しないためスキップされる。以上の工程を1から CNT まで繰り返すことで、経路 L_{buf} に対応した外部接続データ N_{buf} が求められる。

【0091】

図16の回路を、以上に述べた自動レイアウト生成アルゴリズムにかけると図30に示すとおり $N_{min} = 2$ 、 $L_{min} = 24$ が得られた。配置を $L_{buf}(1)$ 、相互結線を $M_{buf}(1)$ 、外部接続を $N_{buf}(1)$ とした場合の回路レイアウトを図31に示す。ソース、ドレイン電極およびゲート電極の配置はまず

第1の経路であるh、H、g、F、a、A、b、C、dの順に第1層メタル電極とゲート電極を交互に配置する。そして連結子“/”は第1層メタル電極間のスペースであるので、マスキールールに準じた最小間隔を設ける。次に第2の経路a、B、c、. . . .、J、kの順に第1層メタル電極とゲート電極を交互に配置する。

相互結線はM b u f (1) のうち空でないM b u f (1 , 5)、M b u f (1 , 9)、M b u f (1 , 1 5) に対して順番に適用する。まずL b u f (1) の5文字目である電極aとL b u f (1) の(5 + M b u f (1 , 5)) 文字目すなわち11文字目である電極aを、外部接続端子側に相互結線幅1本分以上延長し、ゲート層で形成した相互結線164とコンタクト165、166を介して接続する。次にL b u f (1) の9文字目である電極dとL b u f (1) の(9 + M b u f (1 , 9)) 文字目すなわち19文字目である電極dを、外部接続端子側に相互結線幅2本分以上延長し、ゲート層で形成した相互結線167とコンタクト168、169を介して接続する。最後にL b u f (1) の15文字目である電極eとL b u f (1) の(1 5 + M b u f (1 , 1 5)) 文字目すなわち23文字目である電極eを、外部接続端子側に相互結線幅3本分以上延長し、ゲート層で形成した相互結線170とコンタクト171、172を介して接続する。

【0092】

最後に、N b u f (1 , 1) からN b u f (1 , 2 7) のうち内容が1である電極N b u f (1 , X) を外部端子と接続するために延長し、ゲート電圧へ印可するクロック用の配線をレイアウトして、自動レイアウトは終了する。

【0093】

【発明の効果】

本発明の請求項1にかかる半導体集積回路によれば、平行に配置された複数の電源線の間隙にトランジスタを配置することで、回路全体の幅が全電源線の幅とトランジスタの幅の合計まで狭幅化され、かつ小面積の回路が形成できる。

【0094】

本発明の請求項2にかかる半導体集積回路によれば、外部接続端子にトランジスタの電極を配線するために回路幅を増加する必要がなく、狭幅な回路が形成でき

る。

【 0 0 9 5 】

本発明の請求項 3 にかかる半導体集積回路によれば、回路構成が複雑になった場合においても、相互結線部において、未接続の電源線を結線することで、回路幅を増加させずにレイアウトが複雑化することを抑えられる。

【 0 0 9 6 】

本発明の請求項 4 にかかる半導体集積回路によれば、全電源線のレイアウト面積を全トランジスタのレイアウト面積よりも大きくすることで、電源線における電圧降下や電力消費を抑えることができる。

【 0 0 9 7 】

本発明の請求項 5 にかかる半導体集積回路によれば、ゲート電極よりも低抵抗で寄生容量の小さいゲート信号配線を設けることで、狭幅に配置したトランジスタにおいてもゲート信号の遅延時間を低減することができる。

【 0 0 9 8 】

本発明の請求項 6 にかかる半導体集積回路によれば、狭幅の薄膜トランジスタ回路を表示装置やセンサーの表示画面や感受領域の周辺に配置することが可能となり、表示画面や感受領域の大きな装置を提供できる。

【 0 0 9 9 】

本発明の請求項 7 にかかる半導体集積回路によれば、薄膜トランジスタ製造の結晶化工程において一列に並んだトランジスタの結晶化が同時に進行することでトランジスタ間の性能差が低減される。

【 0 1 0 0 】

本発明の請求項 8 にかかるチャージポンプ回路によれば、狭幅の電源回路を表示装置やセンサーの表示画面や感受領域の周辺に配置することが可能となり、表示画面や感受領域が大きくまた入力インターフェースが簡略化された装置を提供できる。

【 0 1 0 1 】

本発明の請求項 9 および請求項 1 0 にかかるレイアウト設計装置によれば、複数のトランジスタで構成された回路を狭幅領域に配置可能なレイアウトを自動生成

することができる。

【 0 1 0 2 】

本発明の請求項 1 1 にかかるレイアウト設計装置によれば、複数のトランジスタを並列に配置する場合に一般的に採用されているゲート電極間の間隔を一定にするレイアウト方法に比べて、より幅の狭い領域に配置可能なレイアウトを自動生成することができる。

【 0 1 0 3 】

本発明の請求項 1 2 にかかるレイアウト設計装置によれば、必ずしも小面積に配置可能なレイアウトが得られるとは限らないが、狭幅領域に配置可能な半導体集積回路をレイアウト設計する処理が簡単になる。

【 0 1 0 4 】

本発明の請求項 1 3 にかかるレイアウト設計装置によれば、複数のトランジスタで構成された回路を狭幅領域に小面積で配置可能なレイアウトを自動生成することができる。

【 0 1 0 5 】

本発明の請求項 1 4 にかかるレイアウト設計装置によれば、所望の回路が複雑化した場合においても、レイアウトの複雑化と外部端子数の増加を抑えることができる。

【 0 1 0 6 】

本発明の請求項 1 5 にかかるレイアウト設計装置によれば、外部入出力端子が一边に集中していて自由度が小さい場合でも、レイアウト幅を増加させず外部入出力端子と接続可能な半導体集積回路の自動レイアウトが可能になる。

【 0 1 0 7 】

本発明の請求項 1 6 および請求項 1 7 にかかる半導体集積回路によれば、複数のトランジスタで構成された回路を狭幅領域に配置した半導体集積回路が得られる。

【 0 1 0 8 】

本発明の請求項 1 8 にかかる半導体集積回路によれば、ゲート電極間の間隔を一定に配置した一般的な半導体集積回路に比べて、より狭い幅の領域に配置可能な

半導体集積回路が得られる。

【 0 1 0 9 】

本発明の請求項 1 9 にかかる半導体集積回路によれば、必ずしも小面積にはならないが、レイアウト設計の処理が簡単な半導体集積回路が得られる。

【 0 1 1 0 】

本発明の請求項 2 0 にかかる半導体集積回路によれば、複数のトランジスタで構成された回路を狭幅領域に小面積で配置可能な半導体集積回路が得られる。

【 0 1 1 1 】

本発明の請求項 2 1 にかかる半導体集積回路によれば、所望の回路が複雑化した場合においても、レイアウトの複雑化と外部端子数の増加を抑えることができる半導体集積回路が得られる。

【 0 1 1 2 】

本発明の請求項 2 2 にかかる半導体集積回路によれば、外部入出力端子が一辺に集中していて自由度が小さい場合でも、レイアウト幅を増加させず外部入出力端子と接続可能な半導体集積回路が得られる。

【図面の簡単な説明】

【図 1】

第 1 の実施の形態を示すレイアウト図である。

【図 2】

電源配線切り換え回路を示す図である。

【図 3】

第 2 の実施の形態を示すレイアウト図である。

【図 4】

電源配線切り換え回路を示す図である。

【図 5】

第 3 の実施の形態を示すレイアウト図である。

【図 6】

第 3 の実施の形態を示すレイアウト図である。

【図 7】

第 4 の実施の形態を示すレイアウト図である。

【図 8】

第 5 の実施の形態を示す表示またはセンサー装置の回路配置例を示す図である。

【図 9】

表示またはセンサー装置の回路配置例拡大図である。

【図 1 0】

第 6 の実施の形態を示す薄膜トランジスタ回路のシリコン多結晶化工程を示す図である。

【図 1 1】

薄膜トランジスタ回路のゲート電極工程を示す図である。

【図 1 2】

第 7 の実施の形態を示すレイアウト設計装置のブロック図である。

【図 1 3】

第 8 の実施の形態を示すレイアウト設計装置のブロック図である。

【図 1 4】

第 8 の実施の形態の一実施例にかかる自動レイアウト生成アルゴリズムのフローチャートである。

【図 1 5】

第 8 の実施の形態の一実施例にかかる自動レイアウト生成のシステムブロック図である。

【図 1 6】

チャージポンプ型昇圧回路図である。

【図 1 7】

回路網 2 次元マップと接続ノード配列、接続ツリー配列を示す図である。

【図 1 8】

外部接続ノード配列を示す図である。

【図 1 9】

「経路の組」データ例を示す図である。

【図 2 0】

自動結線（全経路探索）のフローチャートである。

【図 2 1】

一経路（一筆書き）探索のフローチャートである。

【図 2 2】

順列データ `t b l` の例を示す図である。

【図 2 3】

相互結線のフローチャートである。

【図 2 4】

X 番目の組の相互結線のフローチャートである。

【図 2 5】

`C b u f` 相互結線のフローチャートである。

【図 2 6】

連結された経路 `R b u f` の例 ($N_{min} = 2$) を示す図である。

【図 2 7】

`R b u f` の相互結線と全長計算のフローチャートである。

【図 2 8】

連結経路 `R b u f`、相互結線データ `M` および相互結線全長 `S U M` の例を示す図である。

【図 2 9】

外部接続線データ作成のフローチャートである。

【図 3 0】

自動レイアウトアルゴリズム実行結果を示す図である。

【図 3 1】

自動レイアウト例を示す図である。

【図 3 2】

一般的なレイアウト例を示す図である。

【図 3 3】

一般的なレイアウト例を示す図である。

【図 3 4】

一般的なレイアウト例を示す図である。

【符号の説明】

- 3 4 共通ソース電極 a
- 3 2 ドレイン電極 A
- 3 3 ドレイン電極 B
- 1 0、1 1 配線切り換えトランジスタ
- 3 0、3 1 ゲート電極
- 3 5 共通ソース電極 b
- 3 6 ドレイン電極 A
- 3 7、3 8 ゲート電極
- 3 9 ゲート層相互結線
- 4 0、4 1 ゲートー第 1 メタル間コンタクト
- 4 2 第 2 メタル層相互結線
- 4 3、4 4 第 1 メタルー第 2 メタル間コンタクト
- 5 0 外部接続端子
- 1 0 0 外部接続端子
- 1 0 3 周辺回路
- 1 0 4 多層プリント配線基板
- 1 0 1 ガラス基板
- 1 0 2 表示または感受領域
- 1 0 5 周辺回路領域
- 1 0 6 非晶質半導体
- 1 0 7 結晶化方向
- 1 0 8 ゲート幅方向
- 1 1 0、1 1 1、1 1 2、1 1 3 多結晶半導体アイランド
- 1 2 1 入力装置・コンソール
- 1 2 2 ディスク装置
- 1 2 3 内部記憶装置
- 1 2 4 演算・制御部

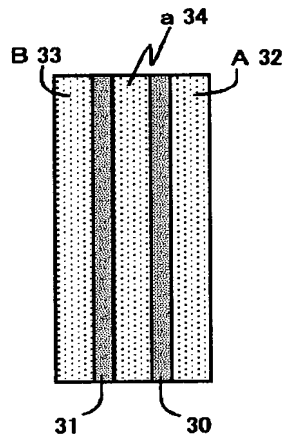
- 1 2 5 出力装置
- 1 2 6 バスライン
- 1 5 0 入力電源電圧 VDD
- 1 5 1 2 倍昇圧出力 $2VDD$
- 1 5 2 3 倍昇圧出力 $3VDD$
- 1 5 3 -2 倍昇圧出力 $-2VDD$
- 1 5 4 昇圧コンデンサ
- 1 5 5、1 5 6 コンデンサ接続配線
- 1 5 7 昇圧コンデンサ
- 1 5 8、1 5 9 コンデンサ接続配線
- 1 6 0 昇圧コンデンサ
- 1 6 1、1 6 2 コンデンサ接続配線
- 1 6 3 接地点
- 1 6 4 ゲート層相互結線
- 1 6 5、1 6 6 ゲートー第 1 メタル間コンタクト
- 1 6 7 ゲート層相互結線
- 1 6 8、1 6 9 ゲートー第 1 メタル間コンタクト
- 1 7 0 ゲート層相互結線
- 1 7 1、1 7 2 ゲートー第 1 メタル間コンタクト
- 2 0 1 レイアウト設計装置
- 2 0 2 処理装置
- 2 0 3 メモリ
- 2 0 4 回路データ記憶装置
- 2 0 5 レイアウト結果記憶装置
- 2 0 6 記録媒体
- 2 0 7 記録媒体
- 2 1 1 探索結果記憶部
- 2 1 2 抽出結果記憶部
- 2 1 3 決定幅記憶部

- 2 1 4 決定レイアウト記憶部
- 2 1 5 決定組記憶部
- 2 2 1 探索手段
- 2 2 2 抽出手段
- 2 2 3 幅決定手段
- 2 2 4 レイアウト決定手段
- 2 2 5 出力手段
- 2 2 6 相互配線長最小組決定手段
- 3 0 1 レイアウト設計装置

【書類名】 図面

【図 1】

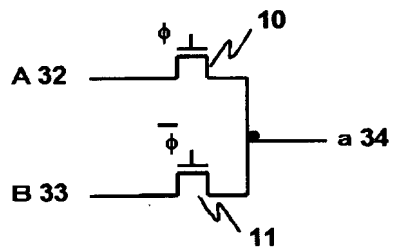
【図 1】



第1の実施の形態
を示すレイアウト

【図 2】

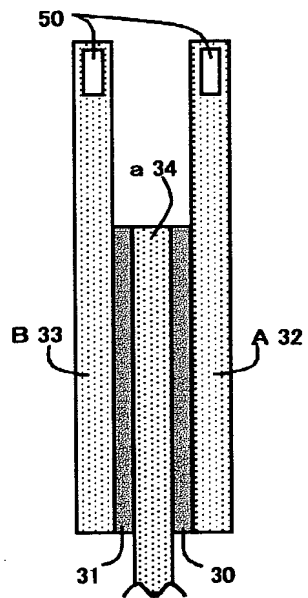
【図 2】



配線の切り換え回路

【図 3】

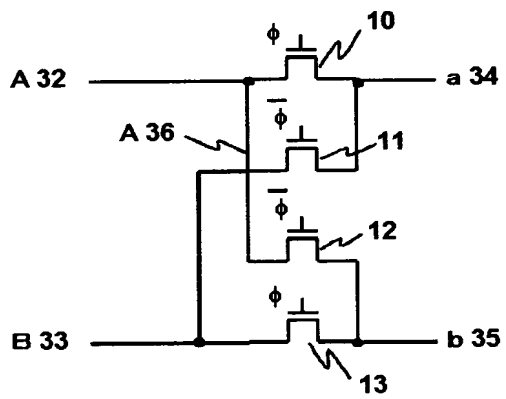
【図 3】



第2の実施の形態
を示すレイアウト

【図 4】

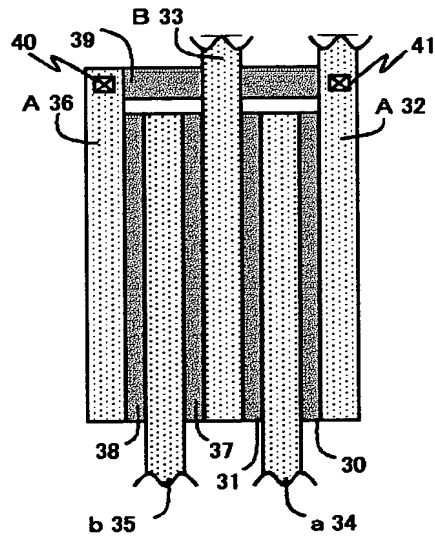
【図 4】



配線の切り換え回路

【図 5】

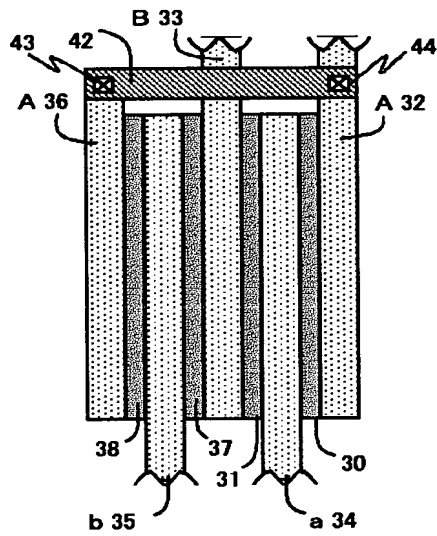
【図5】



第3の実施の形態
を示すレイアウト

【図 6】

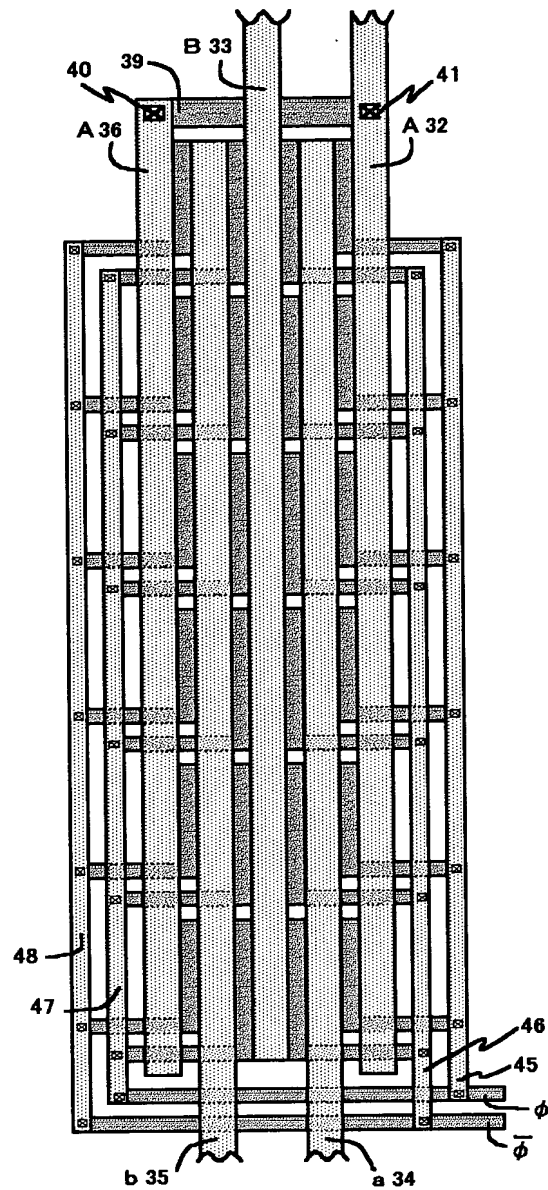
【図6】



第3の実施の形態
を示すレイアウト

【図 7】

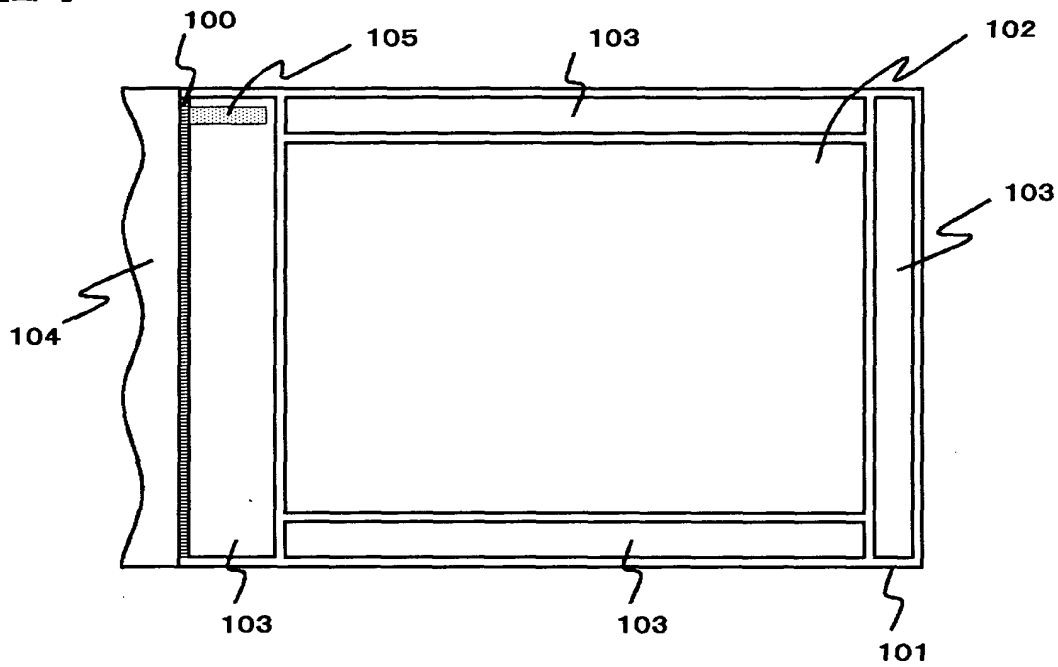
【図7】



第4の実施の形態を示すレイアウト

【図8】

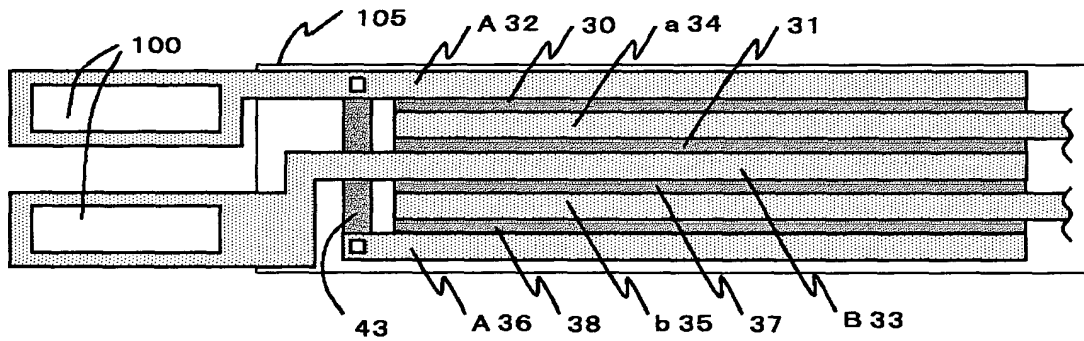
【図8】



第5の実施の形態を示す表示またはセンサー装置の回路配置例

【図9】

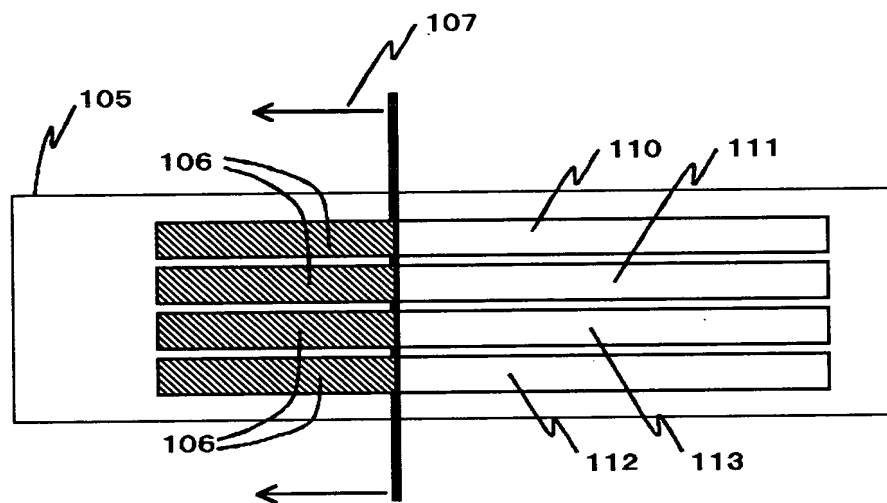
【図9】



表示またはセンサー装置の回路配置拡大図

【図10】

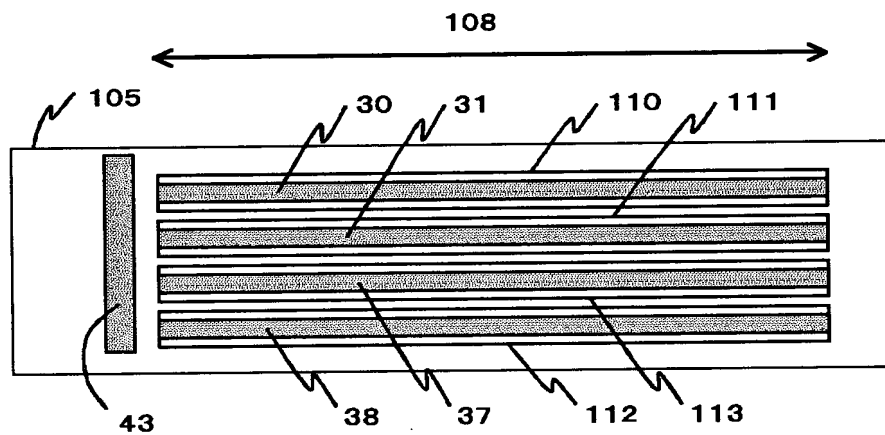
【図10】



薄膜トランジスタ回路のシリコン多結晶化工程

【図11】

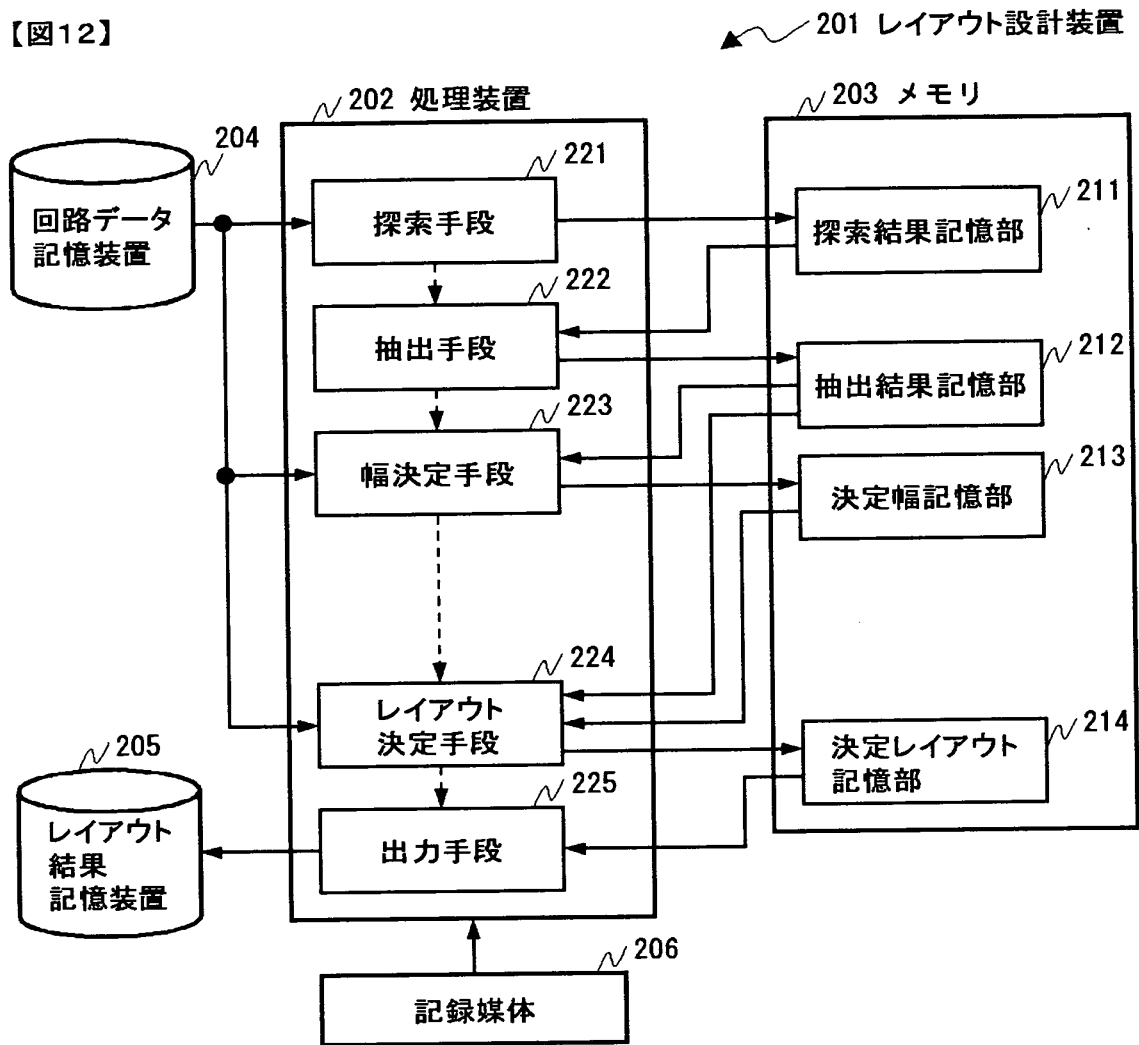
【図11】



薄膜トランジスタ回路のゲート電極工程

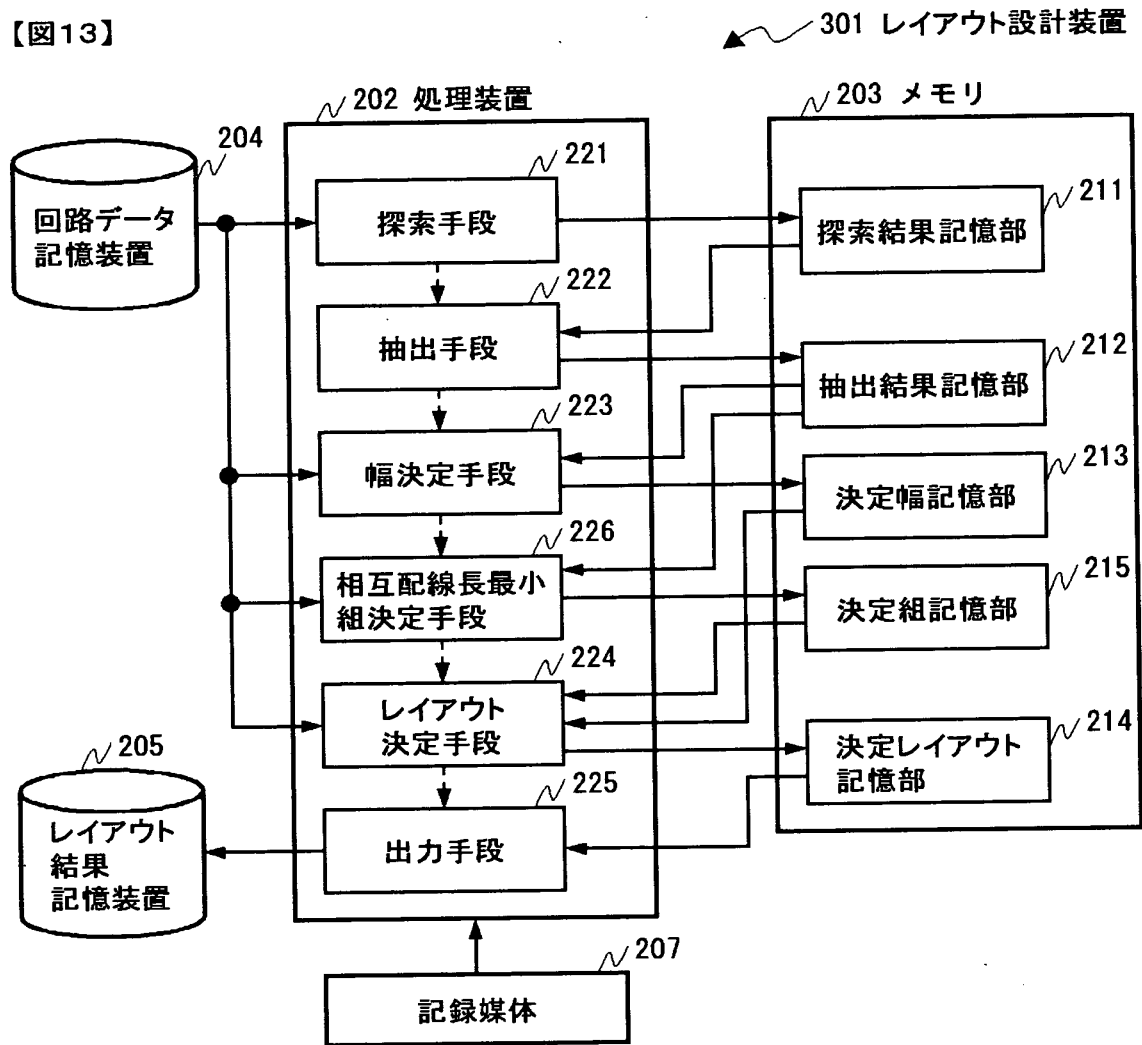
【図 12】

【図12】



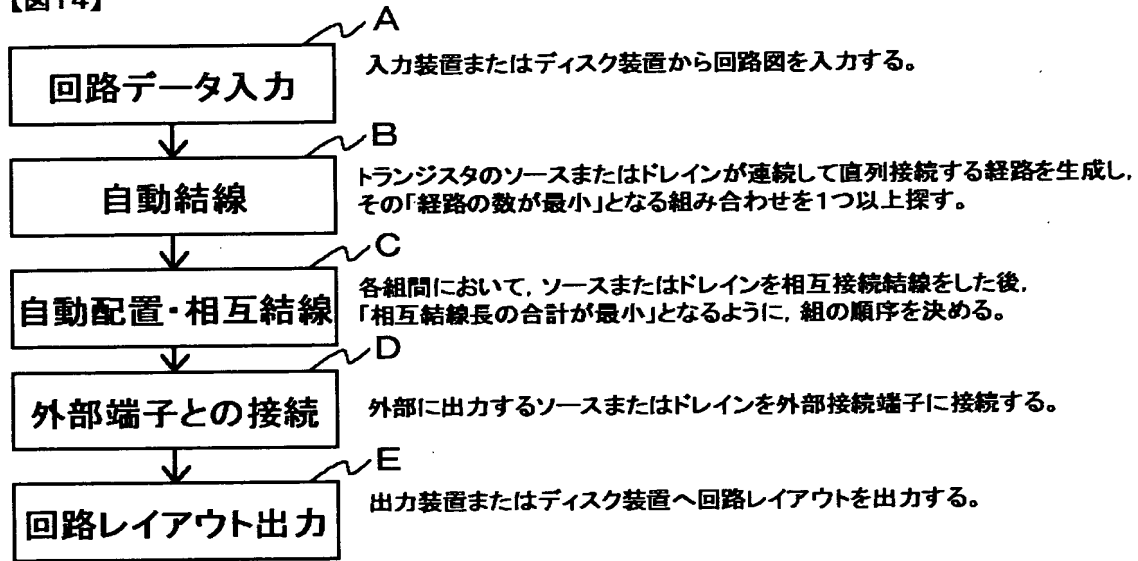
【図 13】

【図13】



【図14】

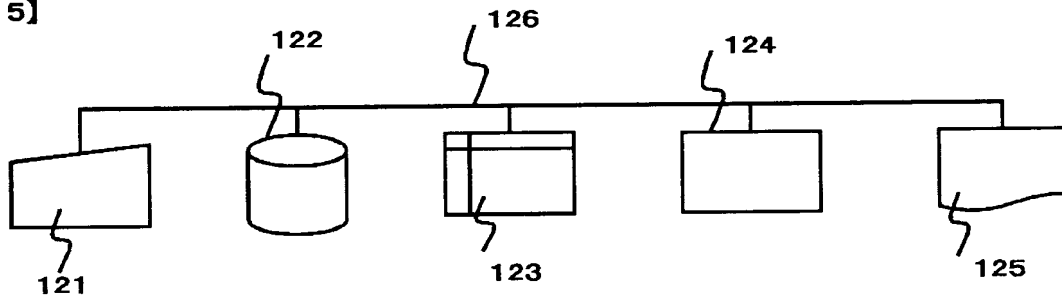
【図14】



自動レイアウト生成のアルゴリズム

【図15】

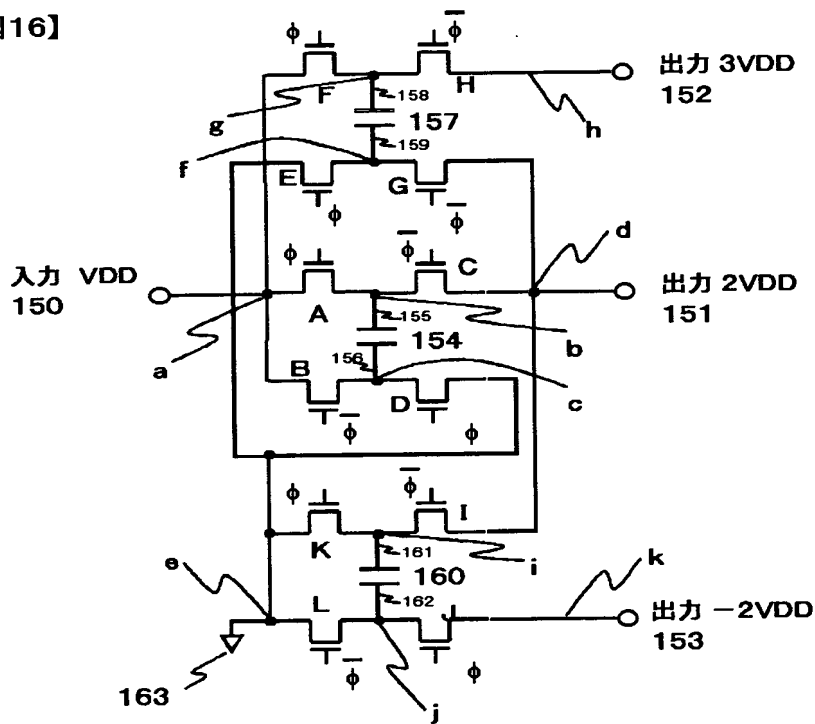
【図15】



自動レイアウト生成のシステムブロック図

【図16】

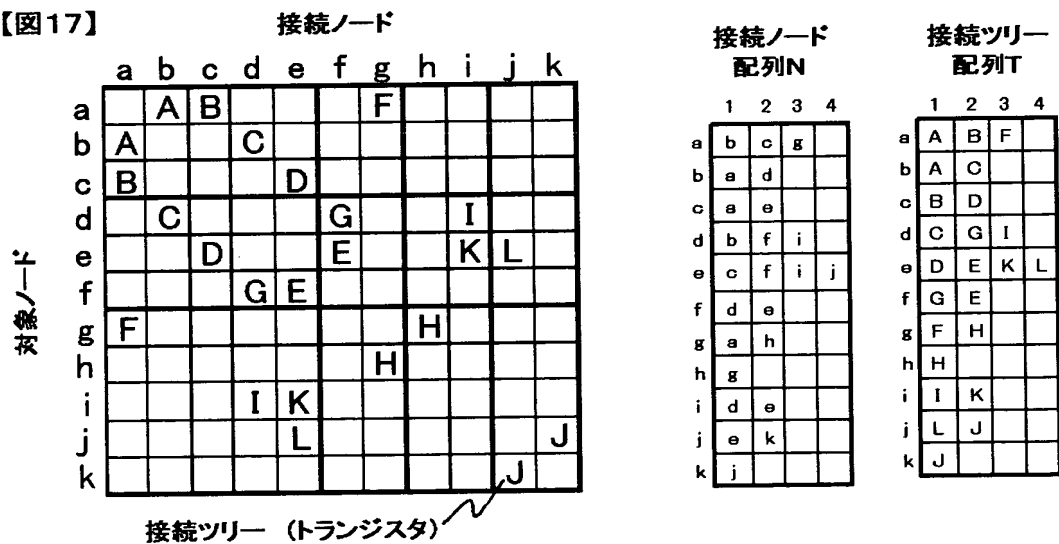
【図16】



チャージポンプ型昇圧回路

【図17】

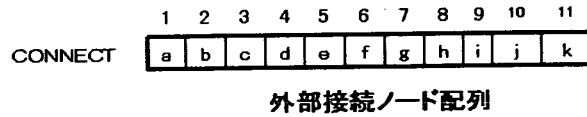
【図17】



回路網2次元マップと接続ノード配列, 接続ツリー配列

【図 1 8】

【図18】



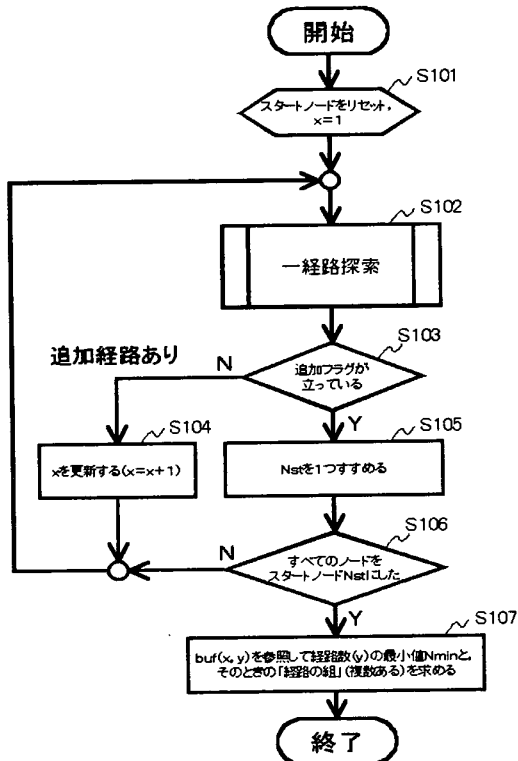
【図 1 9】

【図19】



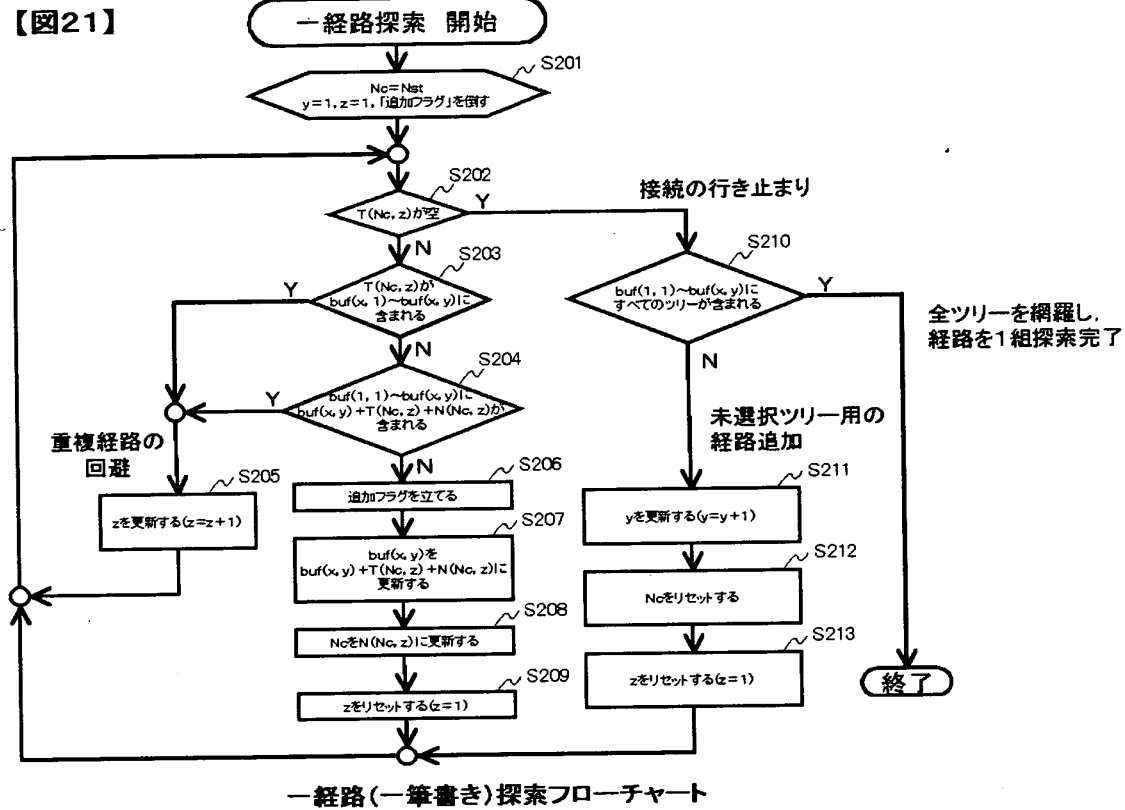
【図 2 0】

【図20】



自動結線(全経路探索フローチャート)

【図 21】



【図 22】

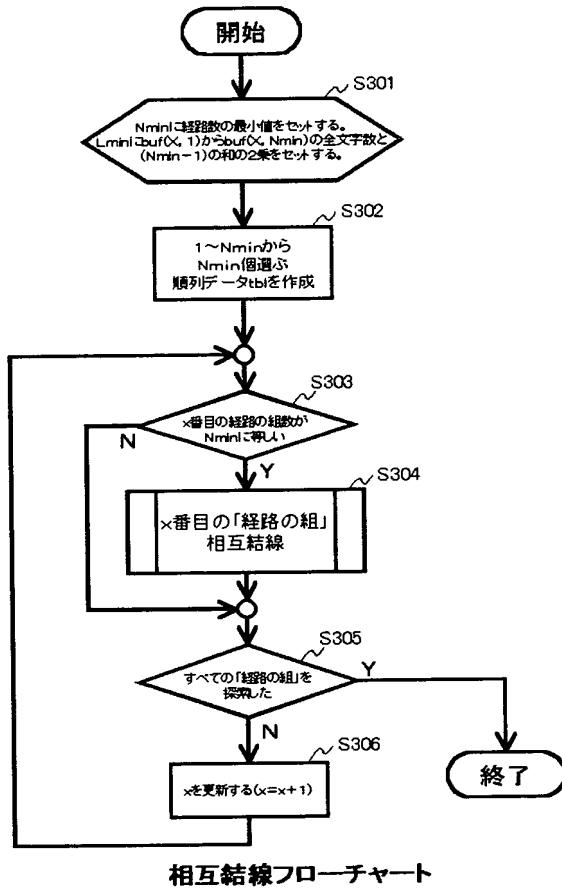
【図22】

Nmin=2			Nmin=3			
tbl	1	2	tbl	1	2	3
1	1	2	1	1	2	3
2	2	1	2	1	3	2
			3	2	1	3
			4	2	3	1
			5	3	1	2
			6	3	2	1

順列データ tbl の例

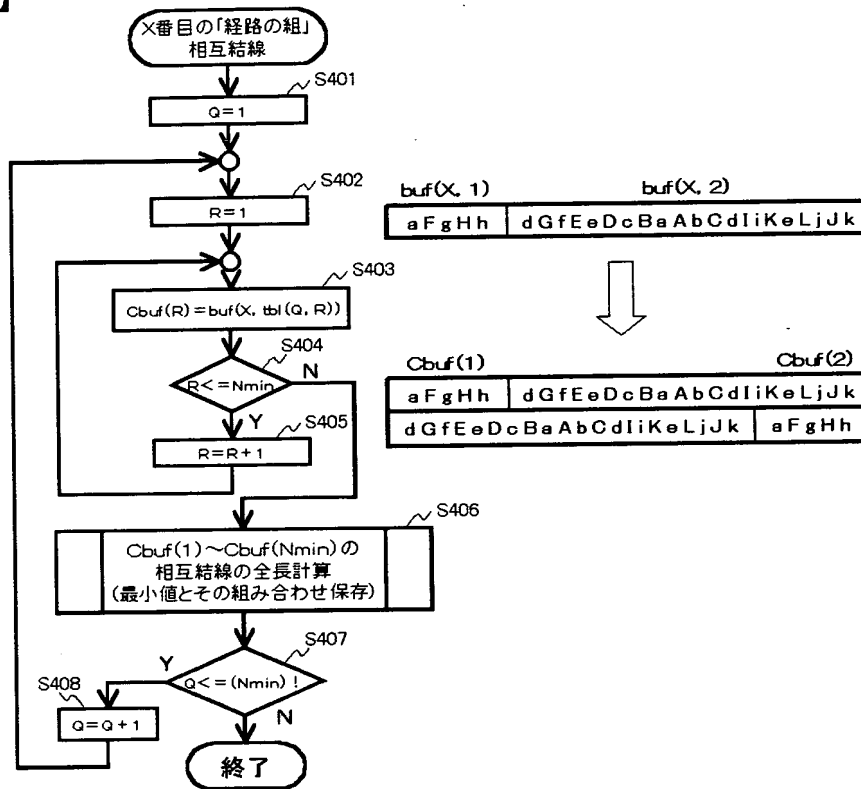
【図 23】

【図23】



【図 24】

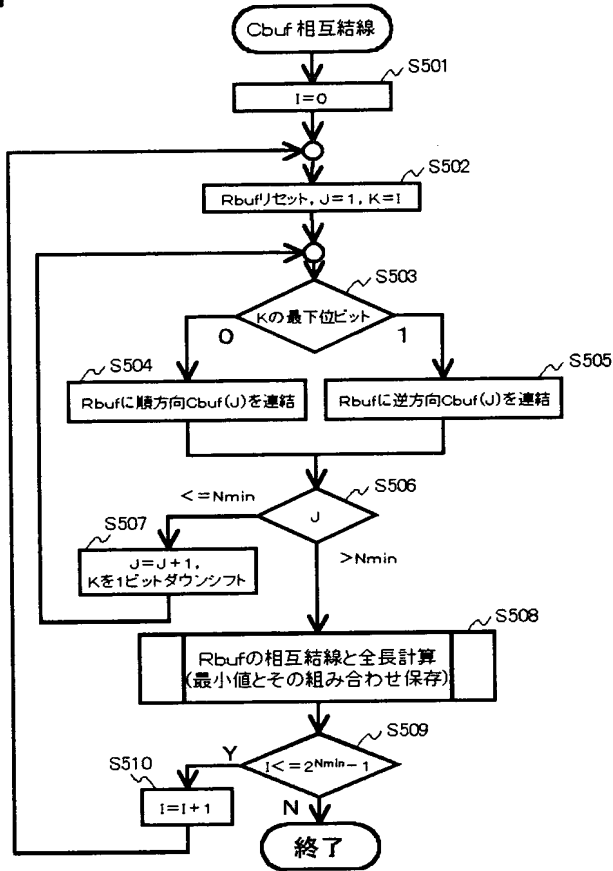
【図24】



X番目の組の相互結線フローチャート

【図 25】

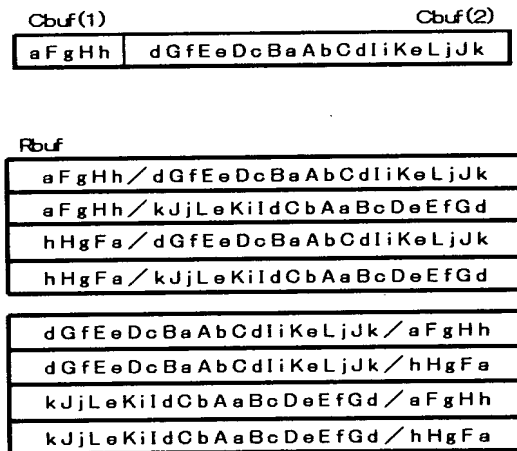
【図25】



Cbuf 相互結線フローチャート

【図 26】

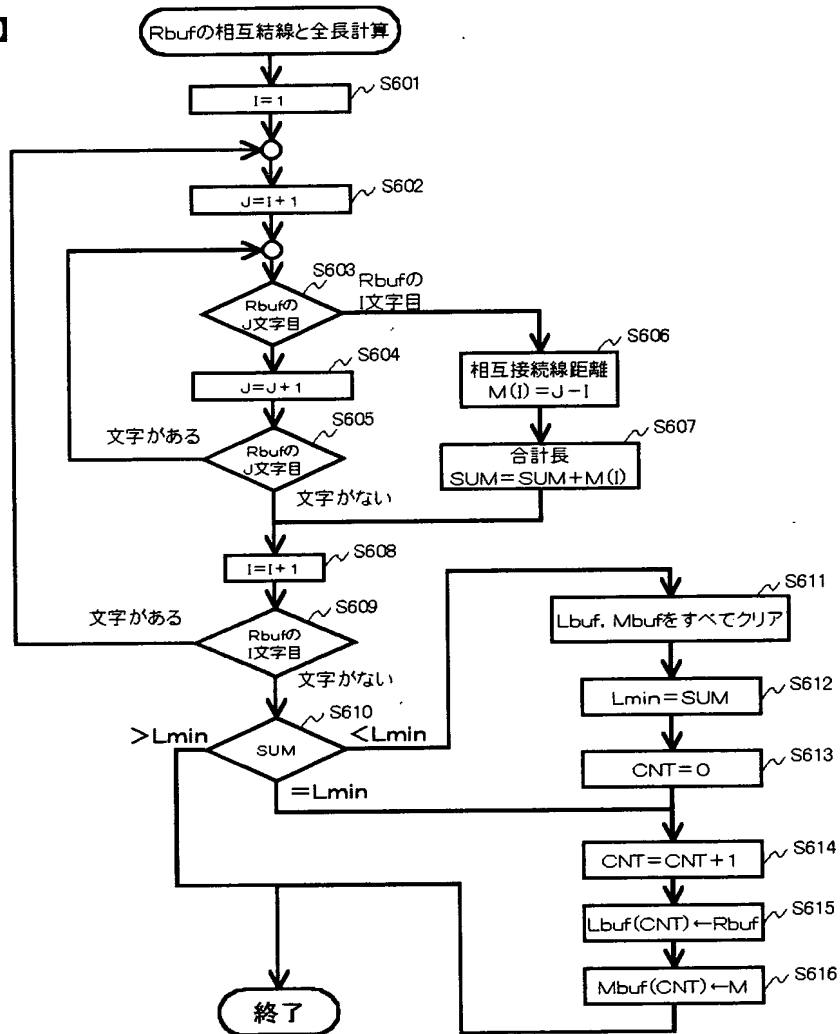
【図26】



連結された経路 Rbufの例(Nmin=2)

【図 27】

【図27】

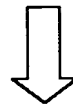


Rbuf の相互結線と全長計算フローチャート

【図 28】

【図28】

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	SUM
Rbuf	a	F	g	H	h	/	d	G	f	E	e	D	c	B	a	A	b	C	d	I	i	K	e	L	j	J	k	
M()	14					12				12																		38
Rbuf	a	F	g	H	h	/	k	J	j	L	e	K	i	I	d	C	b	A	a	B	c	D	e	E	f	G	d	
M()	18									12				12														42
Rbuf	h	H	g	F	a	/	d	G	f	E	e	D	c	B	a	A	b	C	d	I	i	K	e	L	j	J	k	
M()					10		12			12																		34
Rbuf	h	H	g	F	a	/	k	J	j	L	e	K	i	I	d	C	b	A	a	B	c	D	e	E	f	G	d	
M()					14					12				12														38
Rbuf	d	G	f	E	e	D	c	B	a	A	b	C	d	I	i	K	e	L	j	J	k	/	a	F	g	H	h	
M()	12				12				14																			38
Rbuf	d	G	f	E	e	D	c	B	a	A	b	C	d	I	i	K	e	L	j	J	k	/	h	H	g	F	a	
M()	12				12				18																			42
Rbuf	k	J	j	L	e	K	i	I	d	C	b	A	a	B	c	D	e	E	f	G	d	/	a	F	g	H	h	
M()					12			12				10																34
Rbuf	k	J	j	L	e	K	i	I	d	C	b	A	a	B	c	D	e	E	f	G	d	/	h	H	g	F	a	
M()					12			12				14																38



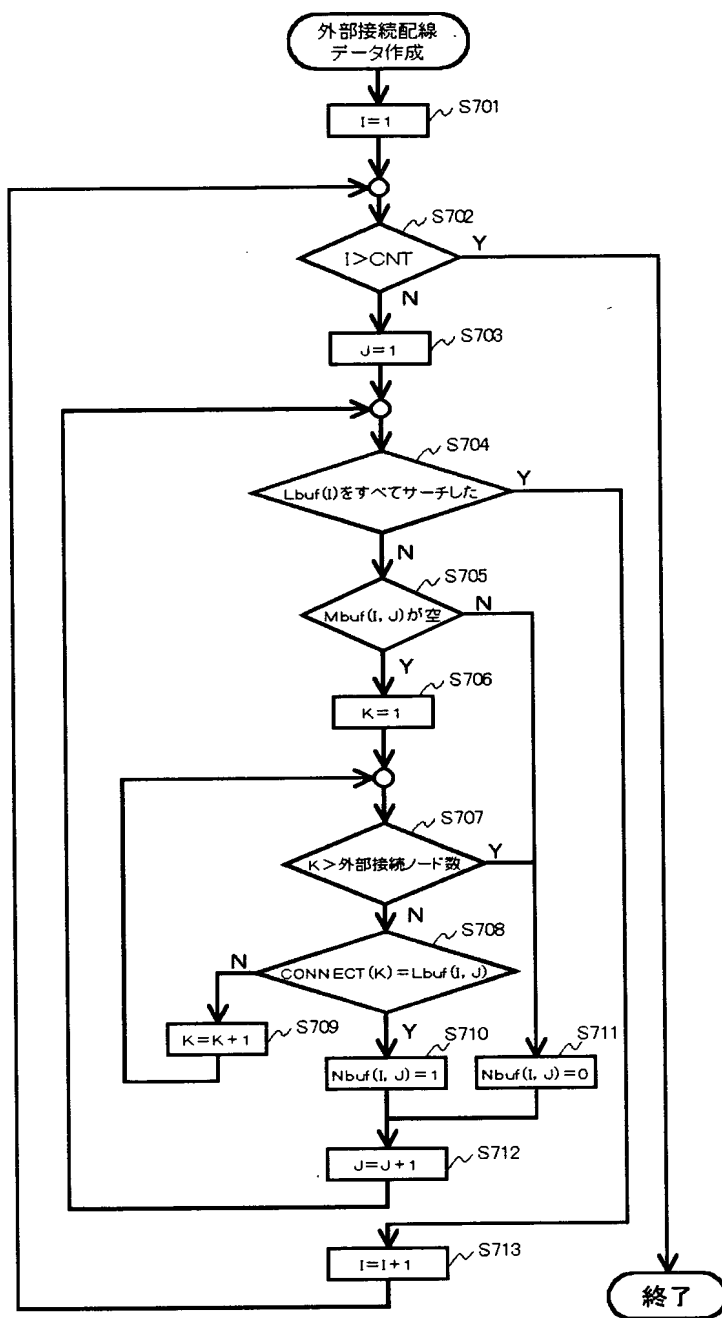
SUMが最小であるRbufおよび配列MをLbufおよびMbufに保存する。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	Lmin
Lbuf (1)	h	H	g	F	a	/	d	G	f	E	e	D	c	B	a	A	b	C	d	I	i	K	e	L	j	J	k	
Mbuf (1)					10		12			12																		34
Lbuf (2)	k	J	j	L	e	K	i	I	d	C	b	A	a	B	c	D	e	E	f	G	d	/	a	F	g	H	h	
Mbuf (2)					12			12				10																34

連結経路Rbuf, 相互結線データMおよび相互結線全長の例

【図 29】

【図29】



外部接続線データ作成フローチャート

【図30】

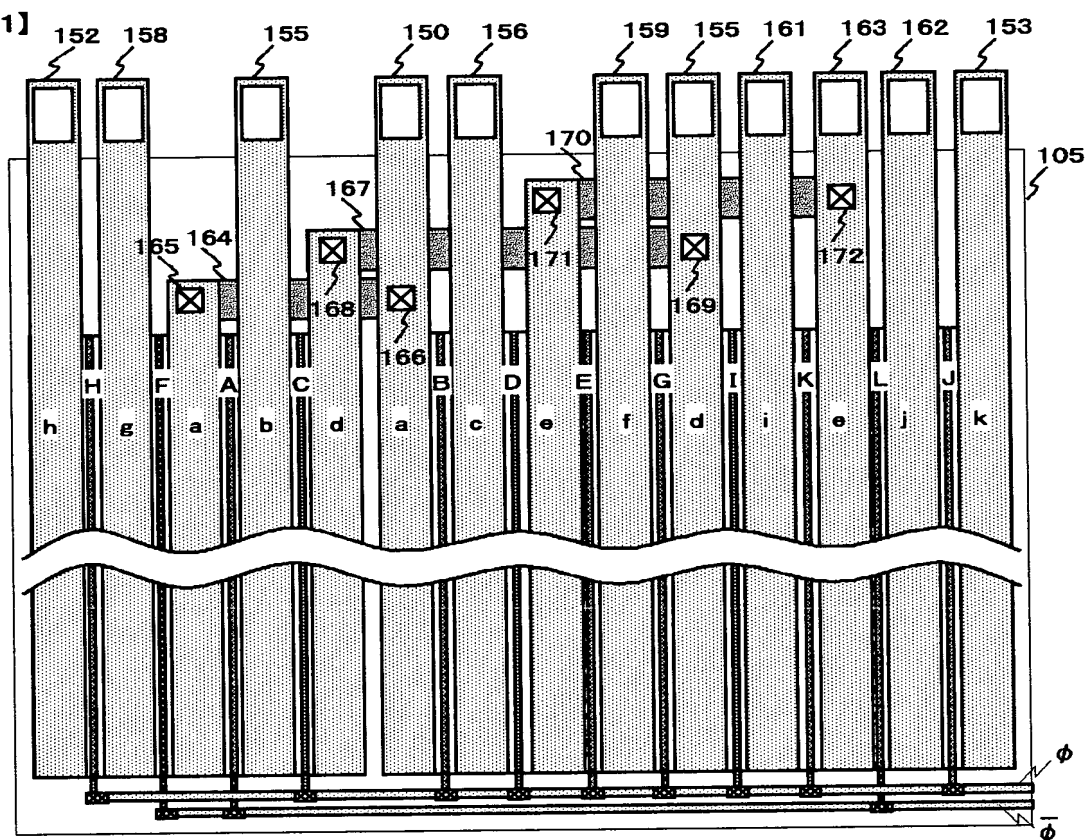
【図30】

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	Nmin	Lmin
Lbuf(1)	h	H	g	F	a	A	b	C	d	/	a	B	c	D	e	E	f	G	d	I	i	K	e	L	j	J	k	2	
Mbuf(1)					6				10						8														24
Nbuf(1)	1	0	1	0	0	0	1	0	0	0	1	0	1	0	0	0	1	0	1	0	1	0	1	0	1	0	1		
Lbuf(2)	k	J	j	L	e	K	i	I	d	G	f	E	e	D	c	B	a	/	d	C	b	A	a	F	g	H	h	2	
Mbuf(2)					8			10								6													24
Nbuf(2)	1	0	1	0	0	0	1	0	0	0	1	0	1	0	1	0	0	0	1	0	1	0	1	0	1	0	1		

自動レイアウトアルゴリズム実行結果

【図31】

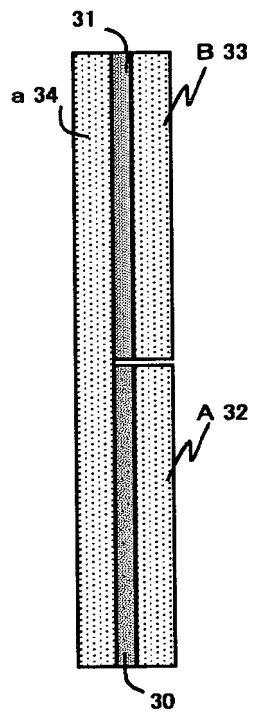
【図31】



自動レイアウトの例

【図 3 2】

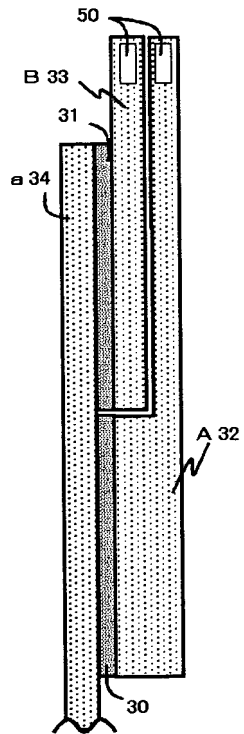
【図32】



一般的なレイアウト例

【図 3 3】

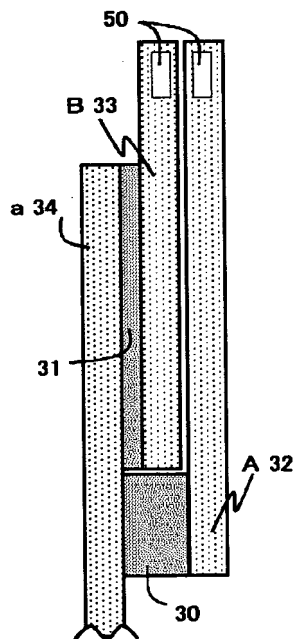
【図33】



一般的なレイアウト例

【図 3 4】

【図34】



一般的なレイアウト例

【書類名】 要約書

【要約】

【課題】 複数のトランジスタで構成された回路を狭幅領域に配置可能なレイアウトを自動生成する。

【解決手段】 探索手段 2 2 1 は、回路のデータを入力し、同じトランジスタを 1 回だけ通る 1 以上の経路の組であって、同じ組の経路をあわせると回路網を網羅できる経路の組を探索する。抽出手段 2 2 2 は、探索された経路の組のうち、含まれる経路の数が最小の経路の組を抽出する。幅決定手段 2 2 3 は、各トランジスタのソース電極及びドレイン電極の幅、ソース電極とドレイン電極との間の領域の幅、隣接するトランジスタで共有化されないソース電極又はドレイン電極間の領域の幅、トランジスタの個数及び前記最小の経路の数から、レイアウト幅を決定する。レイアウト決定手段 2 2 4 は、決定された幅を持つ狭幅領域に、回路に含まれるトランジスタの全てのソース電極、ドレイン電極およびゲート電極を互いに並行に配置したレイアウト情報を生成する。

【選択図】 図 1 2

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社